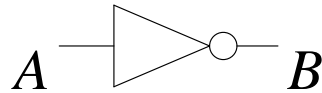


Elementi analize logičkih kola



Apstraktna logička kola rade sa apstraktnim logičkim nulama i jedinicama.

Ulaz u logičko kolo je binarna promenljiva A koja može imati samo dva stanja:

$$A \in \{0,1\}$$

Izlaz logičkog kola takođe može imati samo dva stanja

$$B \in \{0,1\}$$

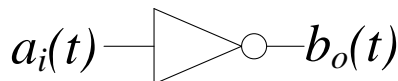
i određen je logičkom funkcijom kola, koja je u ovom slučaju invertorska, odnosno NE, NOT logička funkcija.

$$B = \bar{A}.$$

Osim ova dva logička stanja na ulazu i izlazu apstraktnog logičkog kola ne može se naći ništa drugo. Međutim realno logičko kolo radi sa realnim fizičkim signalima.

Signal je svaka fizička veličina koja nosi neku informaciju.

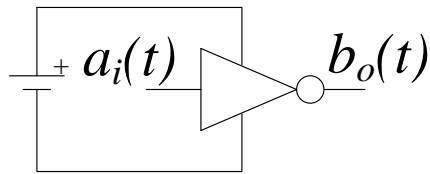
Znači na ulazu u logičko kolo se nalazi neka fizička veličina koja nosi informaciju o logičkim nulama i jedinicama i na izlazu daje istu tu fizičku veličinu koja će nositi takođe informaciju o logičkim nulama i jedincima. Ova fizička veličina je promenljiva u vremenu i ima kontinualnu promenu između različitih vrednosti. Kao i svaka fizička veličina sa kojom mi manipuliramo ne može imati diskretne vrednosti. Iz te fizičke veličine logičko kolo mora da prepozna logičke nule i jedinice.



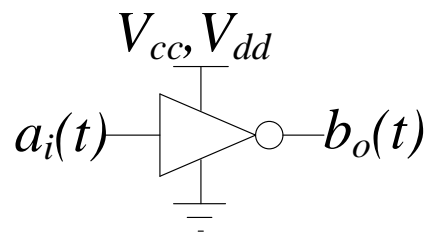
Indeks i – input, ulaz, fizička veličina na ulazu koja nosi informaciju o logičkim nulama i jedinicama

Indeks o – output, izlaz, fizička veličina na izlazu koja nosi informaciju o logičkim nulama i jedinicama

Za rad samog logičkog kola potrebna je odgovarajuća energija, koju logičko kolo dobija iz odgovarajućeg izvora. Najčešće naponskog.



A sama fizička veličina koja nosi informaciju o logičkim nulama i jedinicama je takođe napon, razlika potencijala. Zbog toga se jedan kraj izvora za napajanje proglašava referentnim, nultim, potencijalom u odnosu na koji se sve „meri“. Najčešće je to negativan kraj izvora za napajanje, odnosno logička kola rade sa pozitivnim naponima (mada ćemo u slučaju ECL logičkih kola videti i drugačiju situaciju, odnosno da se kolo „napaja iz negativnog napona“ i radi sa negativnim naponima). Taj referentni potencijal naziva se digitalnom masom DGND. Samo napajanje se označava sa V_{CC} kod logičkih kola sa bipolarnim tranzistorima, odnosno V_{dd} kod logičkih kola sa MOS tranzistorima.



Znači signali $a_i(t)$ i $b_o(t)$ su „referirani“ u odnosu na DGND (njihove naponske nivoe logičko kolo „posmatra“ u odnosu na DGND) i u naponu, odnosno razlici potencijala, prema DGND se nalazi informacija o logičkim nulama i jedinicama.

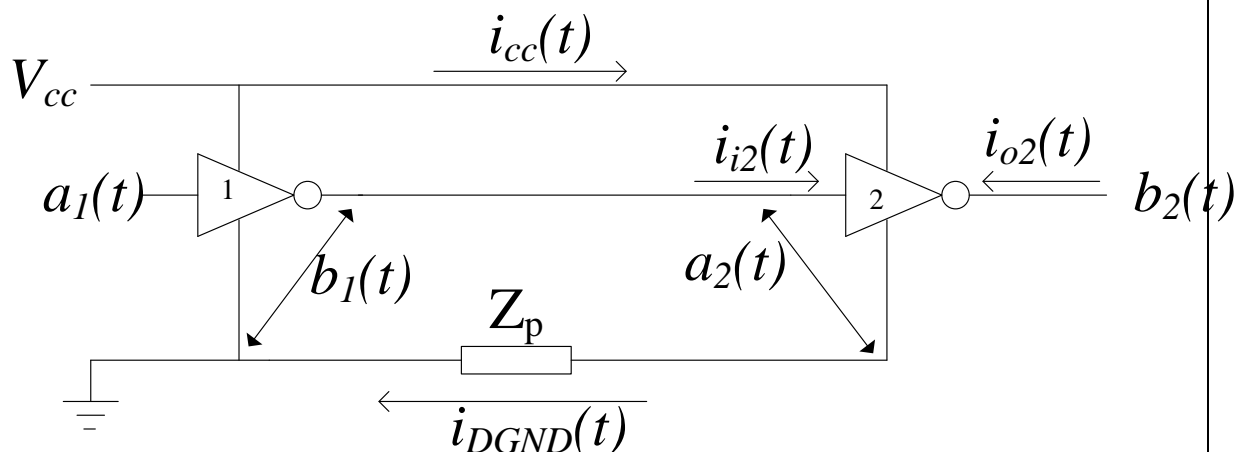
DIGRESIJA:

Na slikama se nalazi invertorsko logičko kolo. Nije slučajno. Većinu karakteristika različitih familija logičkih kola ćemo posmatrati na invertoru. Kao što ćemo videti u većini tehnologija od invertora se na „jednostavan“ način prave druga logička kola, pri čemu zadržavaju osobine koje ćemo videti na invertoru, ili ćemo se truditi da te osobine zadržimo.

DIGRESIJA:

Signal koji nosi informaciju je napon, razlika potencijala. Taj signal nije „idealn“. Zbog smetnji iz okoline, zbog smetnji koje nastaju u samom radu logičkog kola napon može da se promeni, Znači neko logičko kolo je dalo napon koji odgovara nekom logičkom stanju. Kolo koje prihvata taj napon, zbog smetnji, može da ga shvati kao drugačije logičko stanje. I to je opasnost koja realno postoji, a najčešći uzrok promene napona je sam rad logičkog kola.

Neka su dva logička kola spojena tako da se izlazni signal prvog logičkog kola koristi kao ulazni signal u drugo logičko kolo. Spajanje logičkih kola između sebe i na izvor za napajanje se izvodi „žicama“ (metalnim linijama na štampanoj ploči, metalnim linijama unutar integrisanog kola, ...) koje nisu idealne, i koje imaju otpornosti, i parazitne efekte prema okolini, parazitne kapacitivnosti i induktivnosti. Radi lakšeg posmatranja neka su ti neidealni elementi koncentrisani u impedansi Z_p i nalaze se u liniji koja spaja priključke digitalnih masa dva logička kola.



Prvo logičko kolo je na svom izlazu dalo signal $b_1(t)$ koji se dalje koristi u logičkom kolu 2 i trebalo bi da signal $a_2(t)$ bude jednak signalu $b_1(t)$. Međutim sa slike je uočljivo da je:

$$a_2(t) = b_1(t) - Z_p i_{DGND}(t)$$

odnosno da naponski nivoi nisu jednaki. Razlika je prouzrokovana padom napona na parazitnim elementima žica koje spajaju ova kola. Uočiti da ovakvi parazitni elementi postoje i u liniji za napajanje i u liniji kojom se spajaju kola. Isto tako uočiti da struje kroz napajanje i masu nisu jednake

$$i_{cc}(t) \neq i_{DGND}(t)$$

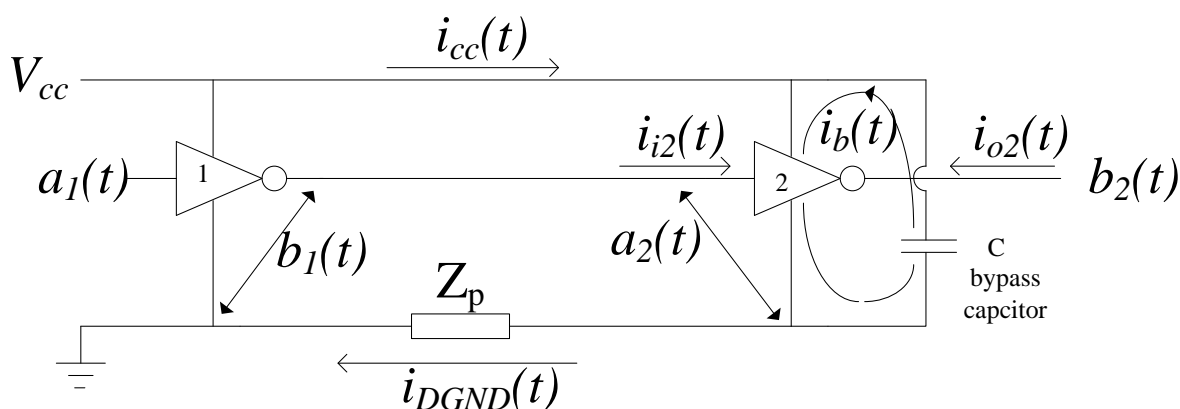
pošto postoje struje i kroz ulaze $i_{i2}(t)$ i kroz izlaze kola $i_{o2}(t)$.

Ova pojava je najizrazitija prilikom promene stanja u kolu kada se i struja $i_{DGND}(t)$ naglo menja, što ćemo videti da je prirodno za logička kola. Tada najviše dolaze do izražaja parazitne induktivnosti linija.

$$u_L(t) = L \frac{di_L(t)}{dt}$$

Da bi se ova pojava što više eliminisala, osim što mora prilikom realizacije digitalnog sistema da se vodi računa da linije koje dovode napajanje, masu, signale do logičkih kola budu sa što manje parazitnih efekata, obavezno je uz samo logičko kolo stavljanje dekapling kondenzatora (decoupling capacitor) odnosno kondenzatora za razdvajanje. Često se naziva

bajpas kondenzatorom (bypass capacitor) a ponekad kolokvijalno: kondenzatori za blokadu (blocking capacitor) mada se ovaj pojam više koristi za eliminaciju jednosmerne komponente u signalu u analognoj elektronici. Principski uloga ovog kondenzatora je da razdvoji uticaje različitih delova digitalnog sistema. Kako je uticaj parazitnih elementa izražen prilikom promena stanja u kolu kada se i javljaju promenljive struje, kondenzator služi kao privremeni izvor energije tako da se promenljiva struja $i_b(t)$ zatvara lokalno smanjujući struju $i_{DGND}(t)$, odnosno smanjujući njenu promenljivu komponentu. Kondenzator se puni, „dopunjava“ energijom iz izvora za napajanje pretežno onda kada su završene tranzijentne pojave.

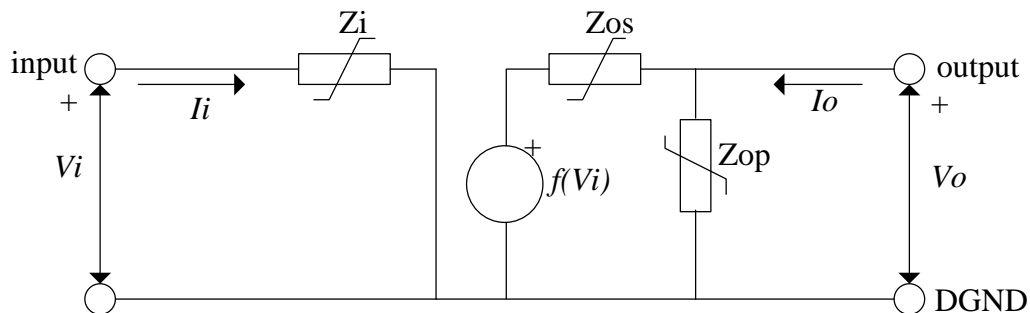


Najčešći dekapling kondenzator je keramički, vrednosti 100nF, mada se u pojedinim aplikacijama mogu sresti na primer: elektrolitski kondenzator od par mikrofarada u paraleli sa keramičkim od 100nF pa eventualno još u paraleli sa pikofaradnim keramičkim kondenzatorima. Razlog za ovakvu konfiguraciju je taj što ni kondenzatori nisu idealni elementi. I oni imaju parazitnih efekata. Pa onda elektrolitski kondenzator služi kao „dugotrajan izvor energije“ za duže tranzijentne, prelazne, pojave, keramički kondenzator 100nF služe da neutrališu parazitne efekte elektrolitskog kondenzatora, a pikofaradni koji ima najmanje parazitne komponente služi za izuzetno brze tranzijentne pojave. Dekapling kondenzatori su obavezni elementi u digitalnim sistemima. Većina digitalnih sistema ne bi radila da ne postoje ovi kondenzatori i česta greška mladih inženjera jeste da ih ne postavje, ili ne postavje na odgovarajuća mesta, uz samo napajanje čipova. Linje između logičkog kola i dekapling kondenzatora treba da su što kraće, što manji parazitni efekti, koji i tu postoje,

Sa ovog aspekta u literaturi postoji definicija: Masa je povratni put signal. I kao svaki povratni put da ne bi došlo do degradacije treba da je “što kraći”, “sa što manje rupa i uskih grla” - što manja otpornost i parazitni efekti.

Analiza logičkih kola

Znači, informacija o logičkom stanju se nalazi u signalu napona. Zbog toga se često govori o logičkom nivou. Cilj je napraviti logičko kolo koje će biti jednostavno, pouzdano i u kratkom vremenskom intervalu od promene signala na ulazu dati odgovarajući izlaz. Za proučavanje, analizu logičkih kola uobičajeno se pretpostavlja da je model logičkog kola unilateralan, odnosno da postoji samo prenos signala od ulaza do izlaza. Nema povratne sprege. Sam model je predstavljen modelom četvoropola:



Pri čemu je

- V_i - ulazni napon,
- V_o - izlazni napon,
- I_i – ulazna struja
- I_o – izlazna struja
- Z_i - nelinearna ulazna impedansa,
- $f(V_i)$ - zavisni naponski izvor; zavisi od ulaznog napona
- Z_{os} - nelinearna redna, serijska, izlazna impedansa
- Z_{op} - nelinearna paralelna, izlazna impedansa

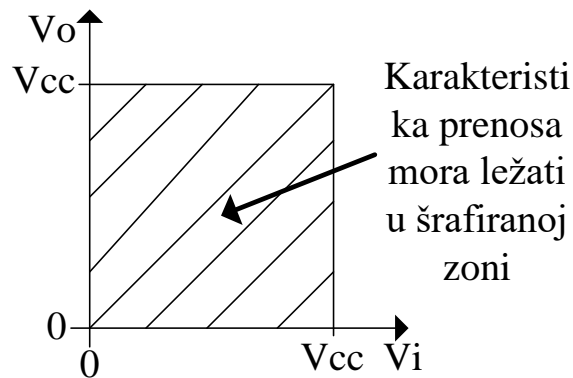
Analiza logičkih kola se odnosi na analizu

- Statičkih karakteristika
- Dinamičkih karakteristika

Statičke karakteristike logičkog kola

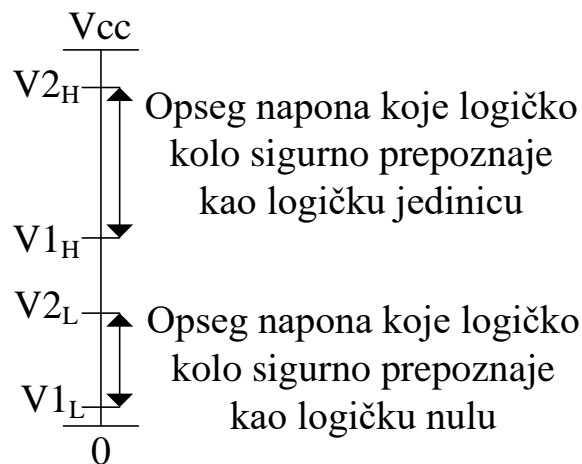
Kod analize statičkih karakteristika logičkih kola eliminiše se uticaj vremena, odnosno promene signala. „Eksperiment“, analiza, se izvodi tako što se na ulaz logičkog kola dovede odgovarajući napon, sačeka se ili se smatra da su sve prelazne pojave završene i snimaju ili računaju potrebni statički parametri. Pri ovoj analizi, pored logičke funkcije koju kolu obavlja, praktično je najbitnija prenosna karakteristika (karakteristika prenosa – transfer characteristics), pošto iz nje može da se proceni „kvalitet“ logičkog kola.

Karakteristika prenosa predstavlja grafički prikaz zavisnosti izlaznog od ulaznog napona i crta se za sve vrednosti ulaznog napona. Zbog jednostavnosti realizacije podrazumeva se da kolo treba da prepozna napone iz opsega 0 do napona napajanja, i iz istog tog opsega i da daje naponske nivoe logičkih nula i jedinica. Znači ulazni napon za crtanje karakteristike prenosa menja se od nula do napona napajanja (pošto ćemo prvo analizirati logička kola sa bipolarnim tranzistorima neka to za sada bude V_{cc}).



Održanje, očuvanje, naponskih nivoa

Fizički je nemoguće realizovati logičko kolo koje prepoznaje samo dva diskretna naponska nivoa, jedan za logičku nulu a drugi za logičku jedinicu. A i nema smisla. Svaki poremećaj naponskog nivoa na ulazu bi doveo kolo u neko neodređeno stanje, kada logičko kolo ne bi bilo u stanju da izvršava svoju pravu logičku funkciju. Zbog toga se opseg ulaznog napona deli na opseg logičke nule i opseg logičke jedinice. Cilj je da se naponski opseg što više iskoristi kao i da ova dva opsega budu jednaka. U digitalnom sistemu verovatnoća pojava logičkih nula i jedinca je ista. Ne možemo „favorizovati“ jedan opseg. Intuitivno, što su ovi opsezi veći, uticaj smetnji na rad kola će biti manji.



Uobičajeno logička kola rade u pozitivnoj logici. Ovaj pojam pozitivna logika se odnosi na situaciju kada se logičkoj jedinici dodeljuju viši naponski nivoi a logičkoj nuli niži naponski nivoi. Postoje situacije kada pojedini sistemi rade i u negativnoj logici (logičkoj jedinici se dodeljuju niži naponski nivoi a logičkoj nuli viši naponski nivoi) ali su oni ređi i ne menjaju suštinu onoga što sledi.

Znači svaki napon iz opsega V_{1L} do V_{2L} svako logičko kolo iz ove familije (za koju je analizirana ova raspodela) mora da prepozna kao stanje logičke nule. Iz tog razloga i odabrane pozitivne logike je i indeks L (low).

Znači svaki napon iz opsega V_{1H} do V_{2H} svako logičko kolo iz ove familije (za koju je analizirana ova raspodela) mora da prepozna kao stanje logičke jedinice. Iz tog razloga i odabrane pozitivne logike je i indeks H (high).

Analizu logičkih kola mi radimo na tipičnom predstavniku familije. Međutim u proizvodnji je nemoguće postići da sva logička kola koja su šematski identična i imaju identične karakteristike. U tom slučaju analiza ide u dva koraka

Odrede se ovi opsezi na tipičnom predstavniku

Prouči se uticaj parametara na ove opsege i metodom najgoreg slučaja odrede inženjerske granice.

Da bi se ujednačio kriterijum kojim se rukovodimo kao inženjeri, i koje dobijamo kao karakteristike od proizvođača, napon V_{2L} se zove: maksimalan napon koji logičko kolo prepoznaje kao logičku nulu i obeležava se sa V_{IL} . Isto tako napon V_{1H} se zove: minimalan napon koji logičko kolo prepoznaje kao logičku jedinicu i obeležava se sa V_{IH} . Ove informacije možemo pronaći u korisničkim uputstvima za komponente logičkih kola (datasheet) i u nastavku je primer za logičko kolo 74LS00 (videćemo kasnije šta ove oznake znače)

	Min	Typ	Max	Units
V_{IL}				
V_{IH}				

U kojim kolonama će biti zapisane vrednosti?

Evo kako to izgleda

	Min	Typ	Max	Units
V_{IL}			0.8	V
V_{IH}	2			V

Logično je. Za V_{IL} : maksimalno smemo da dovedemo 0.8V na bilo koje logičko kolo iz ove familije i ono će to prepoznati kao logičku nulu. Zato i jeste u koloni MAX. Uočiti da neko logičko kolo iz ove familije će i napon 0.85V prepoznati kao logičku nulu a isto tako neko i neće. Metoda najgoreg slučaja. Mi ne možemo znati za naše konkretno kolo stvarne vrednosti

ali nam proizvođač garantuje da bilo koje kolo napone ispod 0.8V prepoznaje kao logičku nulu.

Za V_{IH} : minimalno smemo da dovedemo 2V na bilo koje logičko kolo iz ove familije i ono će to prepoznati kao logičku jedinicu. Zato i jeste u koloni MIN. Uočiti da neko logičko kolo iz ove familije će i napon 1.85V prepoznati kao logičku jedinicu a isto tako neko i neće. Metoda najgoreg slučaja. Mi ne možemo znati za naše konkretno kolo stvarne vrednosti ali nam proizvođač garantuje da bilo koje kolo napone iznad 2V prepoznaje kao logičku jedinicu.

DIGRESIJA

U datasheet-u se nalaze svi potrebni podaci za pravilno korišćenje kola. Na primer postoji deo

“Absolute Maximum Ratings

Note 1: The “Absolute Maximum Ratings” are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The “Recommended Operating Conditions” table will define the conditions for actual device operation

Supply Voltage 7V

Input Voltage 7V

Operating Free Air Temperature Range 0°C to +70°C

Storage Temperature Range -65°C to +150°C”

Ovaj deo definiše granice preko kojih parametri ne smeju preći, inače proizvođač ne garantuje da će komponente ostati “žive”. Isto kao i ranije, možda će neko kolo i preživeti ako mu se dovede napon napajanja od 7.5V, ali isto tako neko i neće. Ali će sva preživeti ako se dovede napon napajanja od 6.5V. Ovo ne znači da će kola i raditi ispravno na 6.5V. Samo znači da će preživeti. Za normalna rad kola se daju drugi podaci u odeljku:

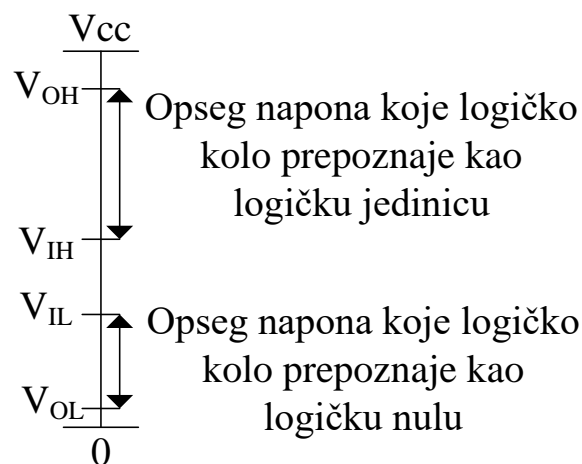
Recommended Operating Conditions

	Min	Typ	Max	Units
V_{CC}	4.5	5	5.5	V

Što praktično znači da ako je napon napajanja za ovu komponentu između 4.5V i 5.5V onda važe i svi ostali dati parametri pa i već spominjani V_{IL} i V_{IH} .

Pitanje koje treba postaviti jeste šta je sa opsezima 0 do V_{1L} i V_{2H} do V_{CC} .

Po načinu rada bilo koje logičko kolo će napona iz opsega 0 do V_{1L} shvatiti kao napon logičke nule. Isto tako iz opsega V_{2H} do V_{CC} , shvatiti kao napon logički jedinice. Pa zašto onda opsezi, odnosno granice, nisu od $V_{1L}=0V$ i do $V_{2H}=V_{CC}$? Odgovor leži u pojmo "održavanje naponskih nivoa". Do sada smo govorili o naponima na ulazu u logičko kolo. Međutim, podrazumeva se da će se logičkim kolima iz ove familije realizovati digitalni sistem. Prilikom povezivanja izlaz jednog logičkog kola biće ulaz u naredno logičko kolo. U većini logičkih familija, logičko kolo nije sposobno da za logičku nulu da napon $0V$ niti za logičku jedinicu napon V_{CC} . Prema tome za realnu analizu signala u digitalnom sistemu je bitno koji naponi mogu da se u „normalnom“ radu pojave na izlazima, ulazima, u logička kola. Zbog toga se i napon V_{1L} obeležava kao napon V_{OL} (output low) i zove nominalnim naponom logičke nule, i predstavlja minimalna napon koje logičko kolo u radnom režim može da postavi na izlaz. Isto tako napon V_{2H} se obeležava kao napon V_{OH} (output high) i zove nominalnim naponom logičke jedinice, i predstavlja maksimalan napon koje logičko kolo u radnom režimu može postaviti na izlaz. Ove dve konstatacije minimalan i maksimalan treba uslovno shvatiti; uslov je u normalnom radnom režimu. Ovo se često drugačije interpretira u literaturi ali ćemo doći do toga.



Idealno bi bilo $V_{OL}=0V$ i $V_{OH}=V_{CC}$ i tome se teži prilikom sinteze različitih familija logičkih kola.

Iz prethodnog izlaganja je jasno da ako kolo na svom izlazu daje napon V_{OL} , u toku signala do narednog kola može da se dozvoli pojava smetnja koja će promeniti nivo signala maksimalno do V_{IL} . Maksimalan nivo smetnji je $V_{IL}-V_{OL}$ i naziva se marginom šuma logičke nule. Isto tako da ako kolo na svom izlazu daje napon V_{OH} , u toku signala do narednog kola može da se dozvoli pojava smetnja koja će promeniti nivo signala minimalno do V_{IH} . Maksimalan nivo smetnji je $V_{OH}-V_{IH}$ i naziva se marginom šuma logičke nule.

$$NM_L = V_{IL} - V_{OL}$$

$$NM_H = V_{OH} - V_{IH}$$

NM – noise margin

Margine šuma logičkog kola praktično pokazuju ROBUSTNOST logičkih kola, odnosno njihovu imunost na šum. U praktičnoj situaciji margine šuma nisu jednaki i može da se pojavi na primer situacija $NM_H=2V$ i $NM_L=1V$. Inženjerski pristup u ovoj situaciji jeste pitanje: Koliki šum smemo da dozvolimo u digitalnom sistemu realizovanom sa ovom familijom logičkih kola. Pošto se u toku rada na ulazima i izlazima logičkih kola menjaju logički nivo, odgovor je opet metoda najgoreg slučaja, odnosno NM za digitalni sistem je

$$NM = \min(NM_L, NM_H)$$

Odnosno u slučaju $NM_H=2V$ i $NM_L=1V \Rightarrow NM=1V$.

Sa druge strane evidentno je da $NM_L+NM_H \leq V_{CC}$, što predstavlja na primer i proveru prilikom izrade ispitnih zadataka.

DIGRESIJA

Na ispitu jako često pravite računске greške. Zbog toga je uvek neophodno da napišete početne jednačine sa opštim vrednostima a onda tek da zamenjujete brojne vrednosti. Na primer:

$$V_{IL} = V_{BE1} + V_{BE2} - V_{D1}$$

$$V_{IL} = 0.6V + 0.6V - 0.5V = 0.8V ?$$

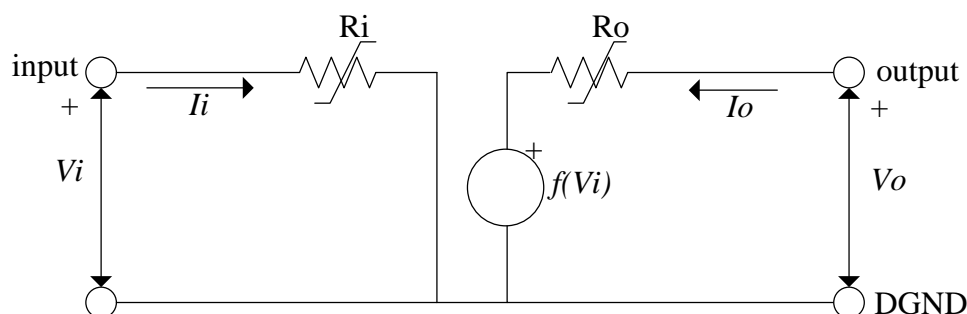
U tom slučaju računska greška vas neće „puno koštati“. Ali na primer pogrešili ste i dobili pri naponu napajanja $V_{CC}=5V$, margine šuma $NM_L=3V$ i $NM_H=3V$, Ova greška može „skupo“ da vas košta pošto niste uočili da zbir margina šuma ne može biti veći od napona napajanja. Normalno, često na ispitu nemate vremena da se vraćate i proveravate računске greške. Ali je dozvoljeno u ovakvoj situaciji napisati na ispitu: „Negde sam napravio (napravila) računsku grešku u računanju margina šuma. Njihov zbir ne može biti veći od napona napajanja,“ U tom slučaju ćete proći „jeftinije“.

Znači cilj nam je da margine šuma budu približno jednake i što veće. U idealnom slučaju:

$$V_{OL}=0V, V_{IL}=V_{IH}=V_{CC}/2, V_{OH}=V_{CC} \Rightarrow NM_L=NM_H= V_{CC}/2$$

Karakteristika prenosa logičkog kola

Crtanjem karakteristike prenosa logičkog kola možemo da dobijemo odgovore na prethodno postavljena pitanja. Koliko je V_{OL} , V_{OH} , V_{IL} , V_{IH} , kao i da uočimo druge važne osobine logičkih kola. Suštinski iz modela logičkog kola crtamo funkciju zavisnog naponskog izvora na izlazu logičkog kola, funkciju $f(V_i)$. Kako govorimo o statičkoj karakteristici u modelu možemo da izbacimo reaktivne elemente, odnosno da smatramo da je ulazna impedansa nelinearna otpornost (može da bude i negativna kao što ćemo videti), izlazna serijska impedansa takođe nelinearna otpornost, dok izlazna paralelna impedansa koja je najčešće kapacitivna po prirodi ne postoji. U tom slučaju model logičkog kola u statičkom režimu je



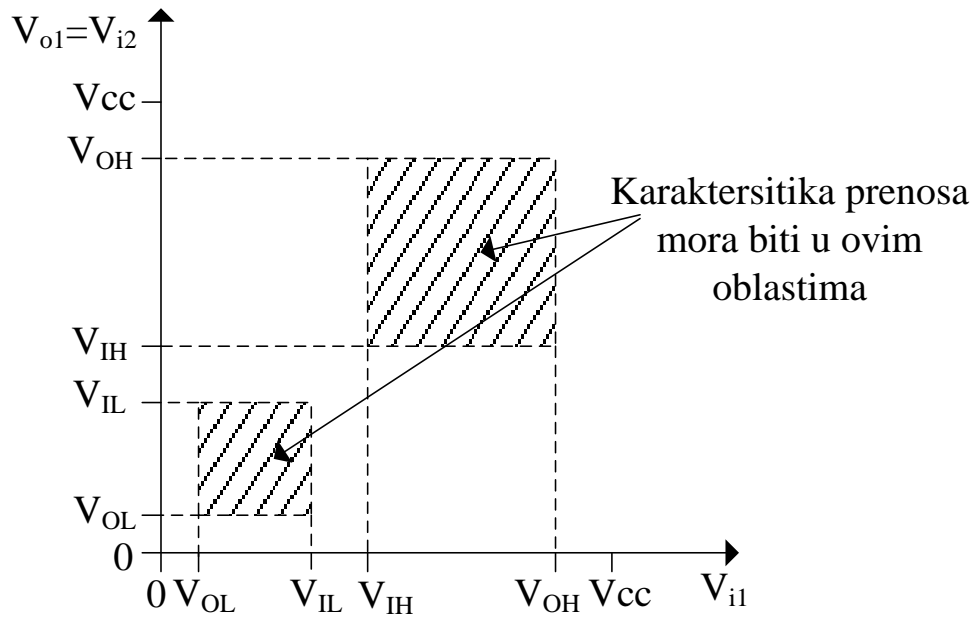
Merenje, analizu, radimo tako što ulazni napon V_i menjamo od 0V do V_{CC} , i posmatramo izlazni napon V_o u statičkom stanju kada su sve prelazne pojave završene. Da bi eliminisali uticaj izlazne nelinearne impedanse Z_{os} , smatramo da kolo nije opterećeno, odnosno na njegov izlazu ništa nije priključeno, odnosno struja $I_o=0$. Posle ćemo posmatrati uticaj te struje na izlazni napon.

Prvo da uočimo kako bi za „dobro“ logičko kolo trebalo da izgleda karakteristika prenosa.

Posmatrajmo dva bafera u nizu. Izabrani su baferi da bi se lakše uočile neke stvari, a zaključci će važiti i za invertore kao i za druga logička kola. Bez obzira što smo dugo diskutovali o napajanju, u šemama se ne crtaju na simbolima priključci za napajanje. Oni se podrazumevaju (kao i što se podrazumeva da su i dekapling kondenzatori obavezni na pinovima za napajanje).



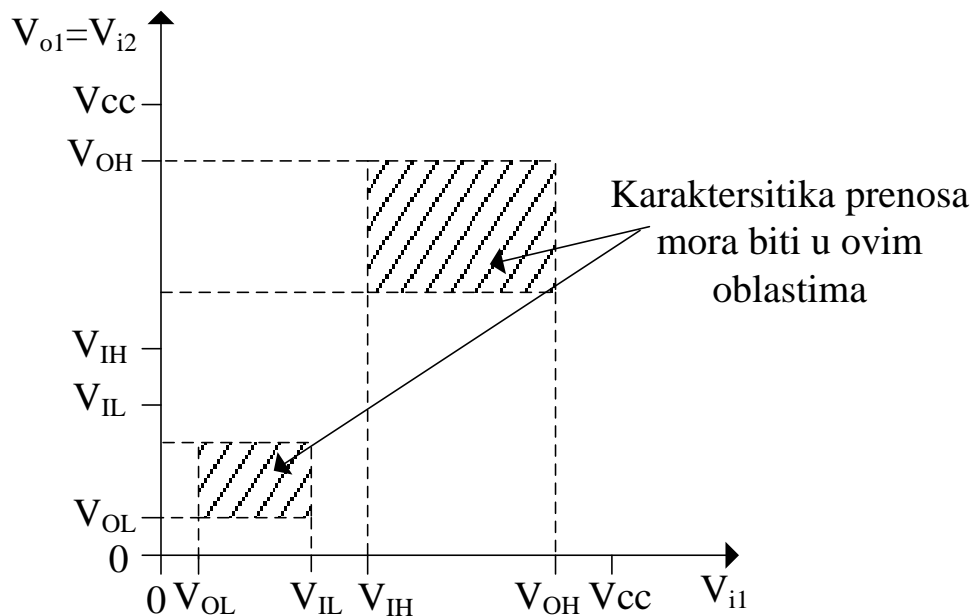
Kako je $V_{i2}=V_{o1}$ očigledno je da za promenu napona na ulazu između V_{OL} do V_{IL} , napon na izlazu prvog kola ne sme da izađe van tog opsega da bi drugo logičko kolo ispravno shvatilo to stanje logičke nule. Isto važi i za promenu napona od V_{IH} do V_{OH} . Logičko kolo mora da postavi na izlazu napone iz istog opsega.



Ono što je odmah vidljivo jeste da u šrafiranim oblastima pojačanje mora biti manje ili jednako jedan.

$$a = \frac{dV_o}{dV_i} \leq 1$$

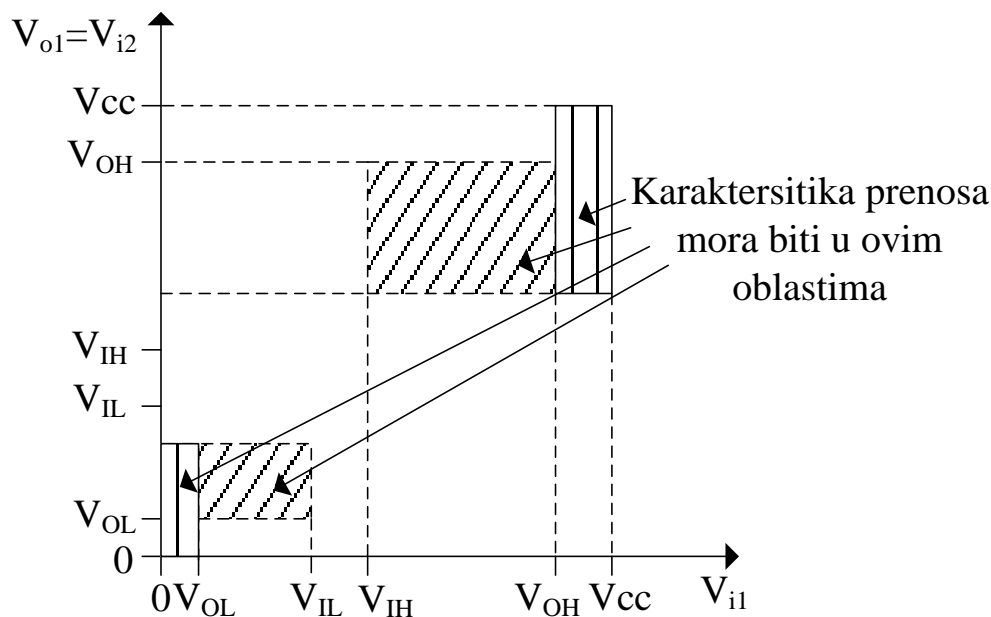
Da bi povećali robusnost kola često se ove šrafirane oblasti smanjuju, odnosno smatra se da karakteristika prenosa mora ležati u oblastima



odnosno bilo bi dobro da u tim oblastima pojačanje bude što je manje moguće, puno manje od jedan. Aktivni elementi, tranzistori koje koristim, za realizaciju logičkih kola, imaju velika pojačanja kada rade u svojim aktivnim regionima. Nije zgodno da u ovim oblastima rade u

aktivnom režimu. Mnogo je zgodnije da u ovim oblastima budu u neaktivnom režimu rada, na primer kod bipolarnih tranzistora zakočeni ili u zasićenju kada im je praktično pojačanje jednako nuli. Isto važi i za MOS tranzistore da bi bilo dobro da budu ili zakočeni ili u omskoj oblasti kada im je takođe pojačanje približno nula.

Isto tako za oblast ulaznih napona od 0 do V_{OL} i V_{OH} do V_{CC} ne smemo dozvoliti da karakteristika izađe van određenih gabarita, i eventualno može samo da da manje napone od V_{OL} , odnosno više napone od V_{OH} .



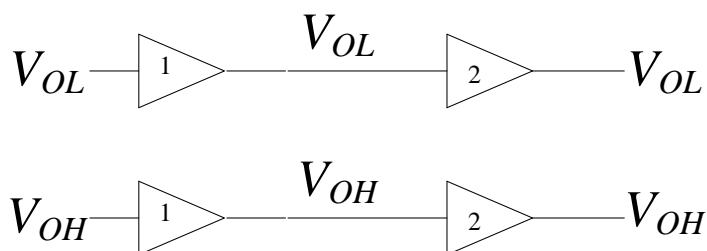
Znači dobra karakteristika prenosa ima tri oblasti.

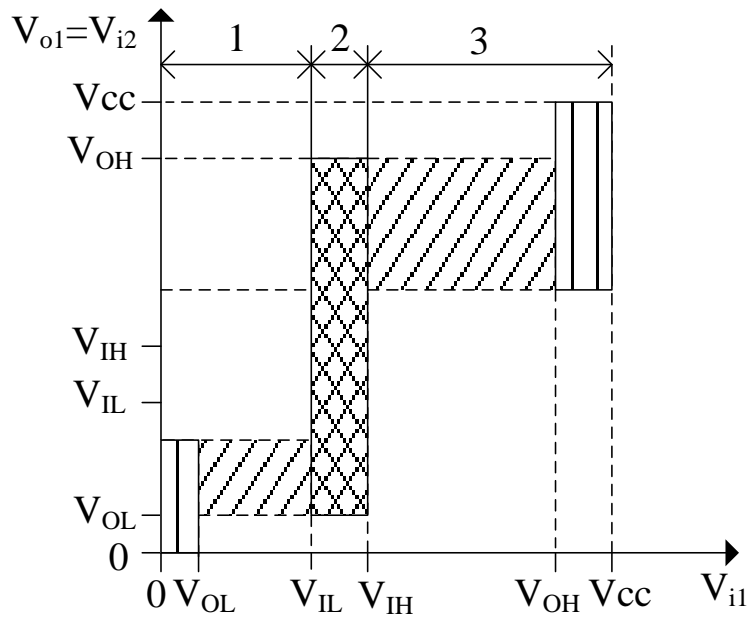
Oblast logičke nule sa malim pojačanjem, manjim od jedan

I prelaznu zonu koja treba da je što uža i treba da obezbedi prelaz sa logičke nule na logičku jedinicu. Kako ova zona treba da bude što uža (robusnost, margine šuma) očigledno je da pojačanje u ovoj zoni treba da je što veće, puno veće od jedan.

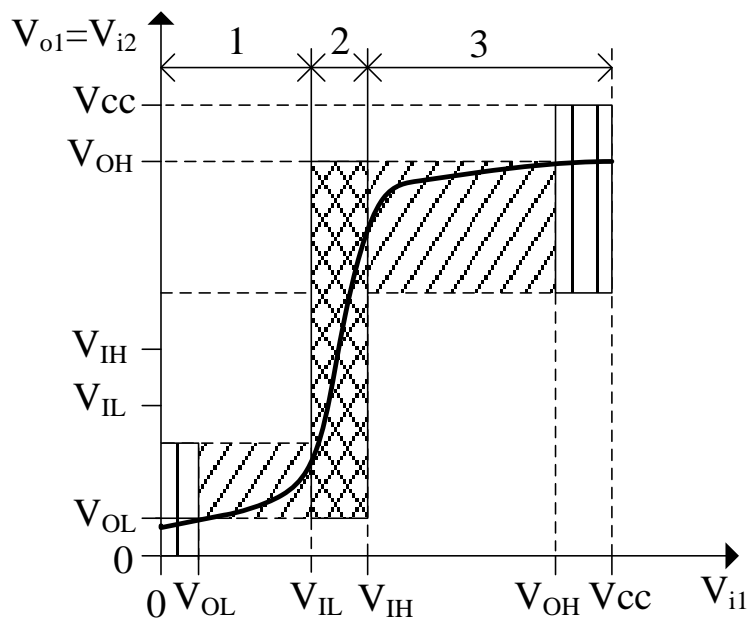
Oblast logičke jedinice sa malim pojačanjem, manjim od jedan.

Zbog održavanja naponskih nivoa karakteristika prolazi kroz tačku (V_{OL}, V_{OL}) i (V_{OH}, V_{OH}) .





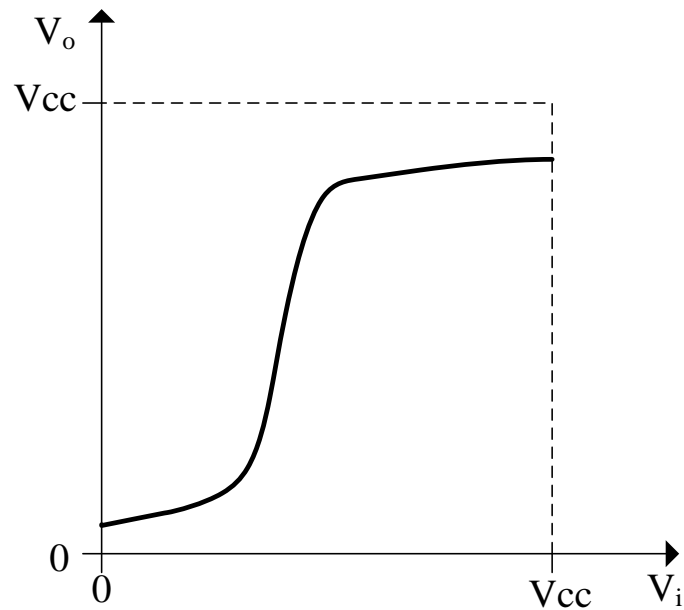
Pa neka karakteristika prenosa može da bude:



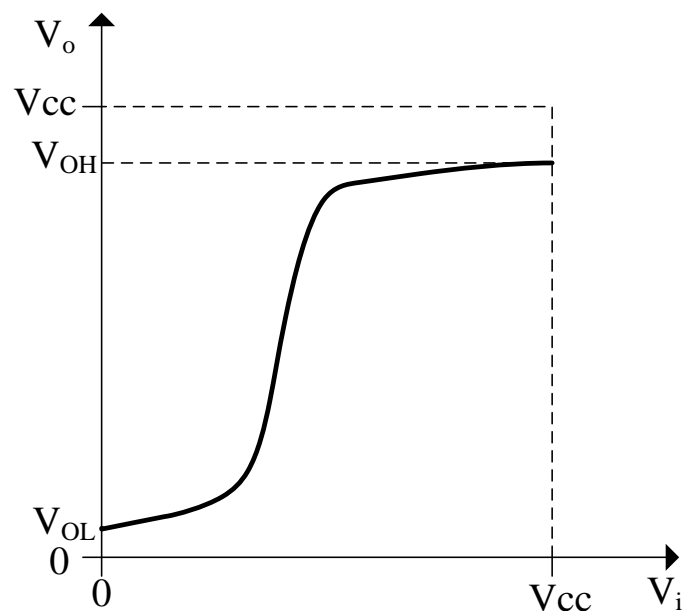
Uočiti da za ulazne napone između V_{IL} i V_{IH} i izlazni naponi mogu biti u tom opsegu. Ne možemo precizno reći šta će u tom slučaju logičko kolo dati na svom izlazu, logičku nulu ili logičku jedinicu. Zbog toga se često kaže da je izlazni napon nedefinisan. U nekom lancu logičkih kola, neko logičko kolo može taj napon da shvati kao logičku nulu a neko drugo kao logičku jedinicu. U svakom slučaju naš dizajn treba da izbegne ovakvu situaciju. Videćemo da u prelaznim režimima to nije moguće, ali ćemo se trudi da kolo u što kraćem vremenskom intervalu bude u tom režimu.

Idemo sada redosledom kako ćemo raditi analizu.

Menjajući ulazni napon nacrtali smo karakteristiku prenosa za datu familiju logičkih kola.

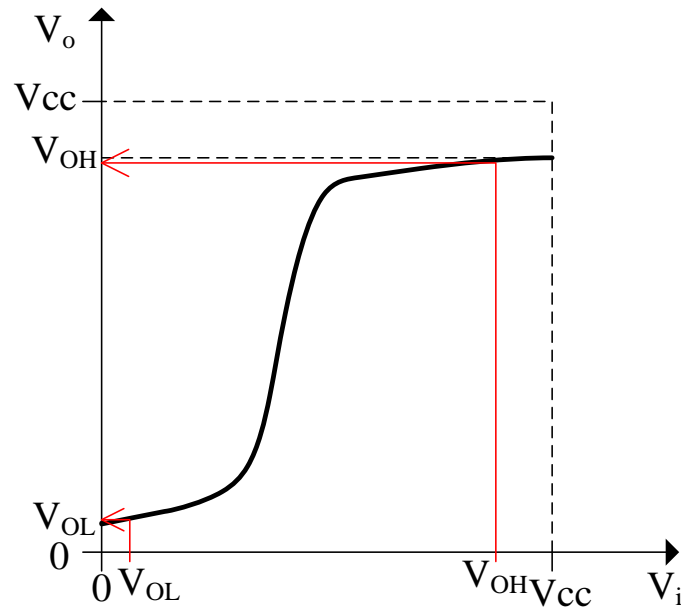


Treba odrediti karakteristične tačke. Na žalost u literaturi ne postoji slaganje kako sa ovog grafika odrediti V_{OL} i V_{OH} . Česta situacija jeste da se ove dve tačke proglašavaju za napone logičkih nula i jedinica (najniži i najviši napon koje logičko kolo može da postavi na izlaz).

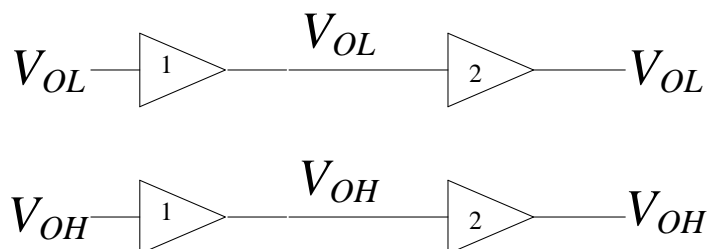


Međutim odmah treba uočiti da će u tom slučaju biti narušena osobina održavanja naponskih nivoa. Na primer, za ovako definisano V_{OL} ako se taj napon nađe na ulazu u logičko kolo neće na izlazu dati napon V_{OL} nego neki viši napon. Pada u vodu i priča oko margina šuma. Isto

važi i za napon V_{OH} , dovođenjem na ulaz ovako definisanog napona na izlazu će se pojaviti niži napon.



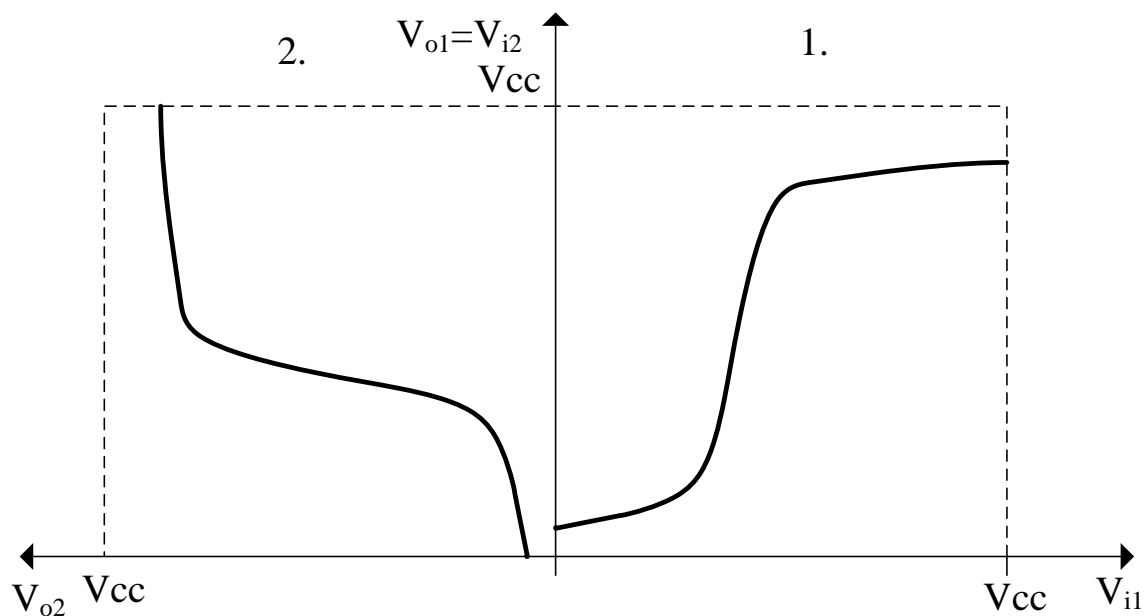
Pa sada taj povećan ili smanjen napon na nekom narednom logičkom kolu ponovo može da izazove povećanje odnosno smanjenje napona. Tumačenje koje ćemo mi zastupati proizilazi iz definisanog očuvanja naponskih nivoa. Znači mora da bude zadovoljena sledeća situacija



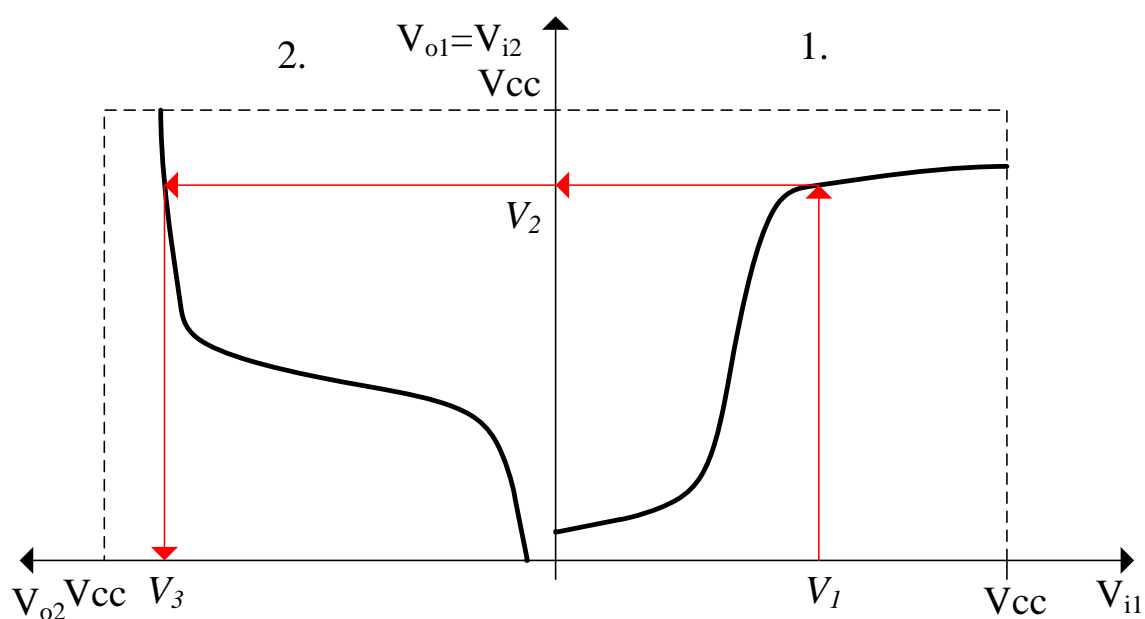
Bez obzira koliko bilo bafera u lancu, nizu. Krenimo od već pretpostavljene situacije



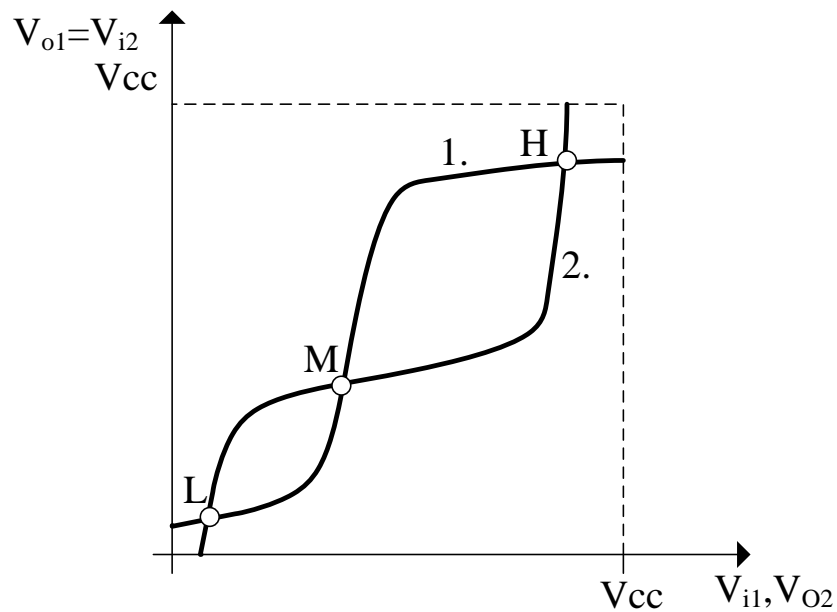
i nacrtajmo ovu situaciju na istom crtežu, grafiku, probajući da vidimo zavisnost V_{O2} od V_{i1} da bi pratili šta se dešava u lancu istih takvih kola. Na levoj strani grafika je rotirana karakteristika prenosa za 90 stepeni pošto izlazni napon prvog logičkog kola jeste ulazni napon za drugo logičko kolo.



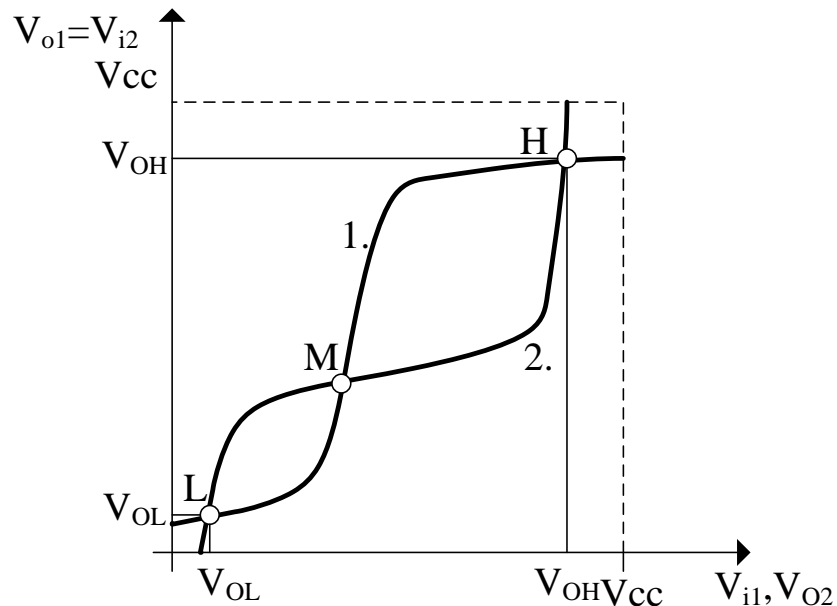
Sada bi mogli tačku po tačku da nacrtamo zajedničku karakteristiku prenosa za oba logička kola.



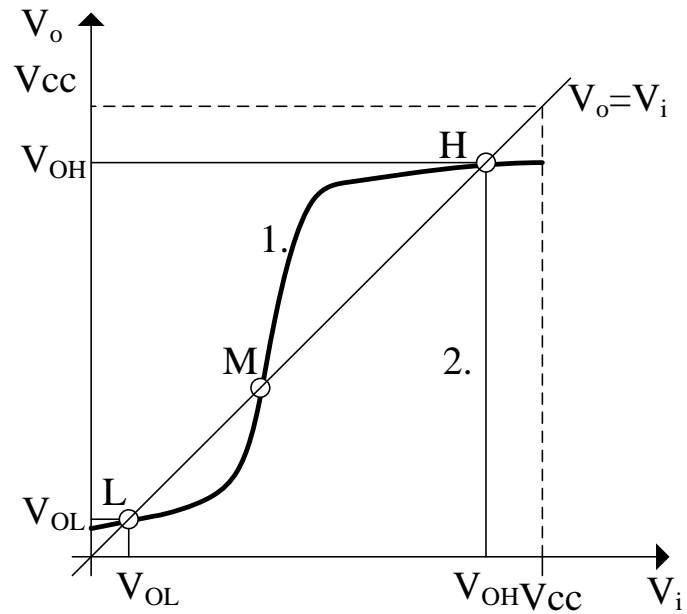
Međutim to nam nije cilj. Cilj nam je odredimo tačke koje će zadovoljavati uslov održanja naponskih nivoa. Zbog toga ćemo u istom kvadrantu, prvom, nacrtati obe karakteristike prenosa; 2. karakteristiku prenosa ćemo rotirati oko ose $V_{o1}=V_{i2}$ i dovesti u prvi kvadrant.



Na grafiku su uočljive tri presečne tačke L, M i H. Evidentno je da je u tačkama L i H zadovoljen uslov održavanja naponskih nivoa.

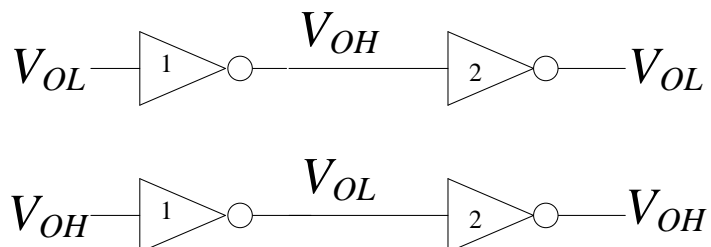


I to jesu naši traženi naponski nivoi V_{OL} i V_{OH} . Treba napomenuti da je ovo čisto akademski pristup i da će praktično u svim logičkim familijama biti mnogo lakše uočiti ove naponske nivoe. Do ovih tačaka smo u slučaju baferske karakteristike mogli doći i na jednostavniji način. Presek karakteristike prenosa i prave $V_O=V_i$.

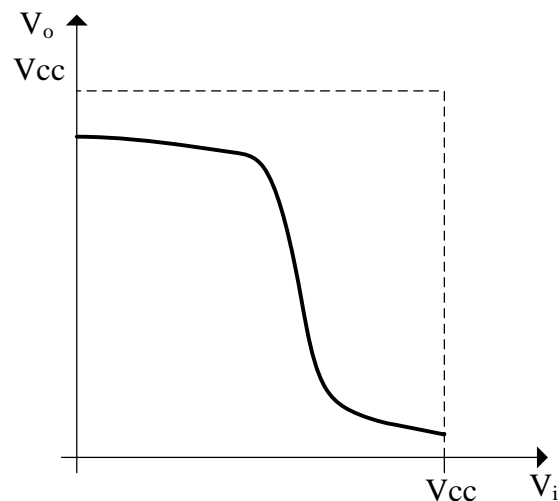


Međutim u slučaju invertorske karakteristike to nije slučaj. Tačka M ima posebno značenje i naziva se pragom odlučivanja logičkog kola. Kao što je ranije rečeno svi ovi zaključci važe i za invertorsku karakteristiku pa će u nastavku analiza biti na invertorskoj karakteristici.

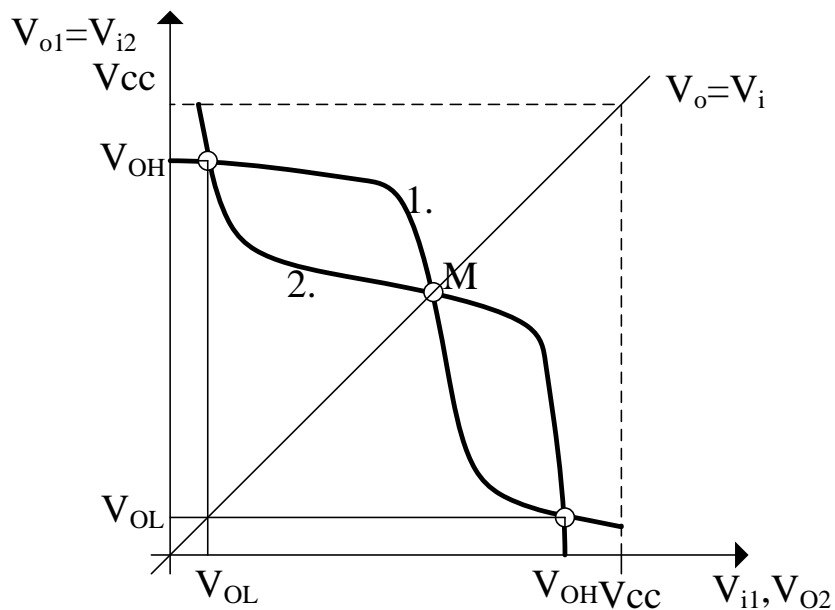
Očuvanje naponskih nivoa u lancu invertora:



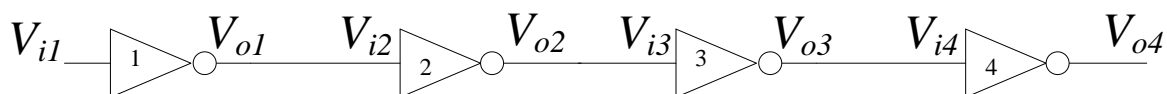
Karakteristika prenosa invertora



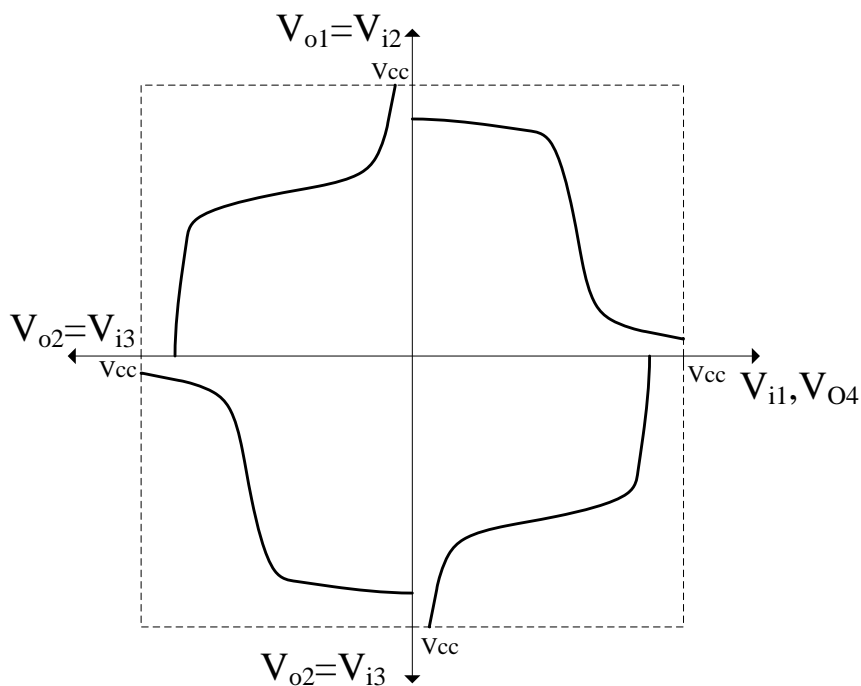
Određivanje napona V_{OL} i V_{OH}



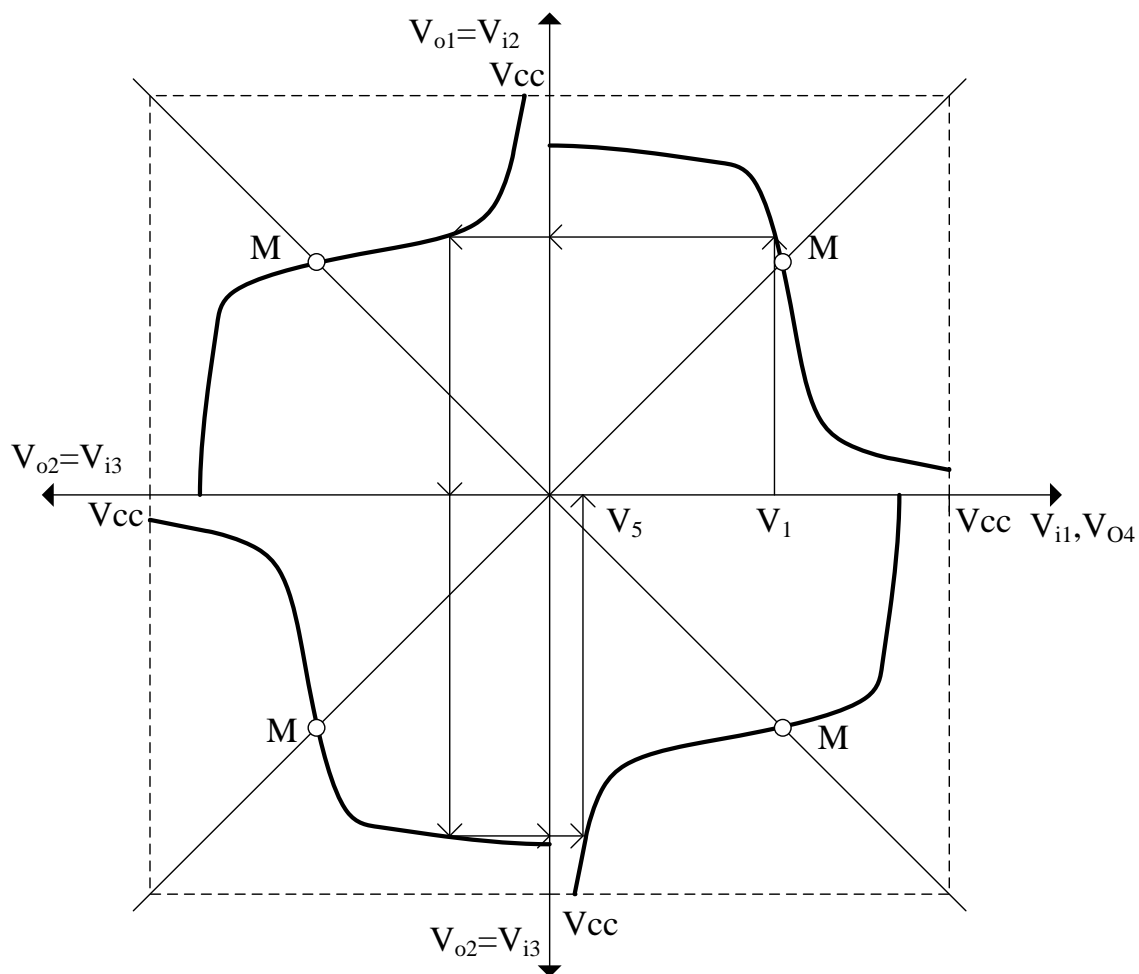
Tačka M takođe leži na preseku karakteristike prenosa i prave $V_o = V_i$. Da proučimo značaj tačke M tako što ćemo posmatrati šta se dešava u lancu invertora



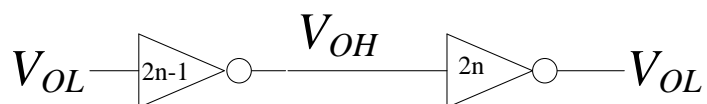
Radi preglednosti karakteristika prenosa za 1. inverter biće nacrtana u prvom kvadrantu, za 2. inverter u drugom kvadrantu itd..



I posmatrajmo situaciju da je napon na ulazu u prvi invertor $V_{i1}=V_1$ samo malo niži od napona tačke M, $V_1 < V_M$.

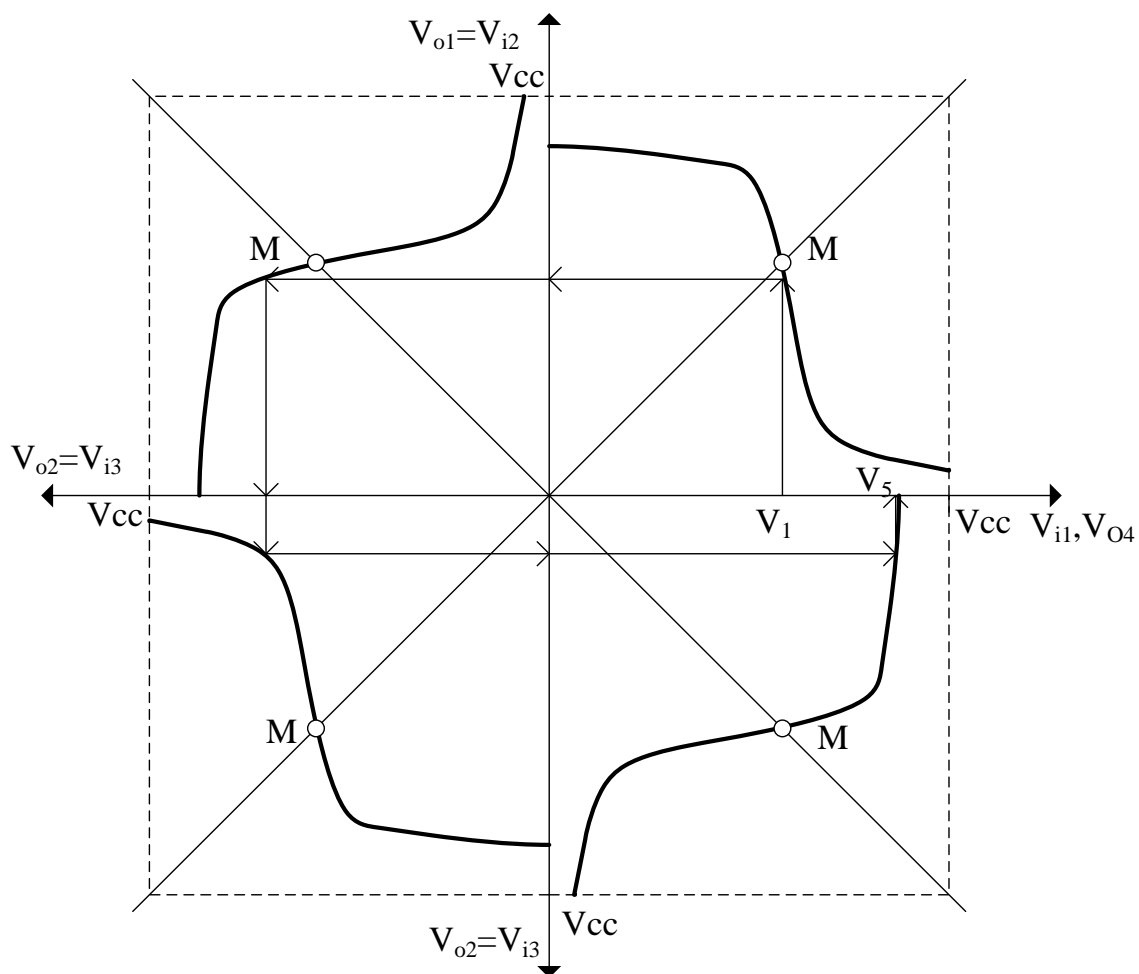


Kao što se vidi sa grafika izlazni napon 4. invertora V_5 je znatno niži od ulaznog napona V_1 , odnosno došlo je do regeneracije naponskog nivoa logičke nule. I ovo je značajna osobina logičkih kola, REGENERABILNOST, koja pokazuje da i ako i dođe do nekog poremećaja u naponskim nivoima, oni će se posle izvesnog broja nivoa logičkih kola regenerisati. Ako bi povećali broj logičkih kola u lancu evidentno je da će se ovaj process završiti kada bude ispunjen uslov očuvanja naponskih nivoa

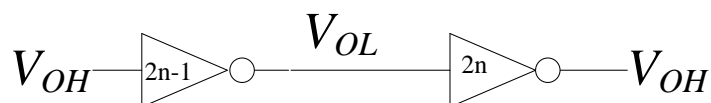


I takođe predstavlja opravdanje za prikazani način određivanja tačaka V_{OL} i V_{OH} .

Isto važi i za napon na ulazu prvog invertora koji je malo veći od napona V_M . Posmatrajmo situaciju $V_1 > V_M$.



Dolazi do regeneracije naponskog nivoa logičke jedinice. Ako bi povećali broj logičkih kola u lancu evidentno je da će se ovaj proces završiti kada bude ispunjen uslov očuvanja naponskih nivoa



Iz ovog razloga se tačka M (middle point) takođe određuje sa karakteristike prenosa i naziva se pragom odlučivanja logičkog kola. Često se ovaj napon označava is a V_S ; S (switch point).

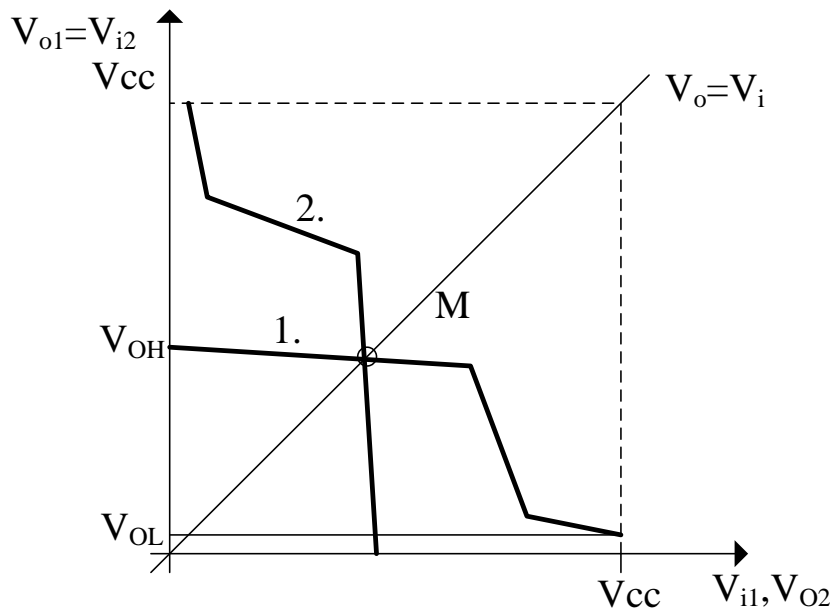
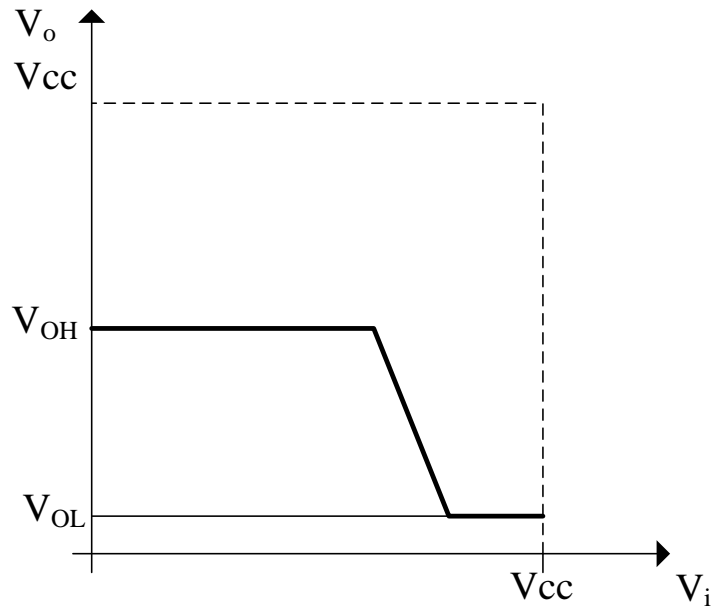
Zbog osobine regenerabilnosti logičkih kola smemo dozvoliti smetnje koje su i veće nego što smo prethodno definisali. Praktično smetnja, ako se pojavljuje samo u jednoj tački, sme da poremeti nivo praktično do napona V_M pošto će se naponski nivoi regenerisati. U tom slučaju možemo da definišemo margine šuma za jednostruke izvore šuma (SS – single source) kao

$$NM_{LSS} = V_M - V_{OL}$$

$$NM_{HSS} = V_{OH} - V_M$$

DIGRESIJA

Očigledno je da nije dovoljno da karakteristika poseduje samo tri zone koje smo ranije definisali, pa da bude karakteristika dobrog logičkog kola. Primer kada postoje tri zone, naponi V_{OL} i V_{OH} određeni kako neki autori predlažu, ali nema ni održavanja naponskih nivoa, niti regenerabilnosti.



Napon V_{OH} ne daje napon V_{OL} , niti ima regenerabilnosti.

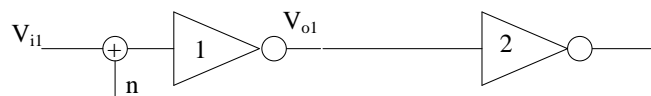
Međutim, u realnom radu ne možemo očekivati da će se smetnje pojavljivati samo u jednoj tački. Odnosno ostaje pitanje kako odrediti napone V_{IL} i V_{IH} ako dozvolimo da se smetnje mogu pojavljivati u više tačaka u kolu.

Izlaz neopterećenog logičkog kola dat je funkcijom prenosa, odnosno prenosnom karakteristikom

$$V_o = f(V_i)$$

i predstavlja ulaz u neko naredno logičko kolo.

Ako dozvolimo da se na ulazu logičkog kola sme da pojavi smetnja, šum,



Izraz za napon V_{O1} glasi

$$V_{O1} = f(V_{i1} + n)$$

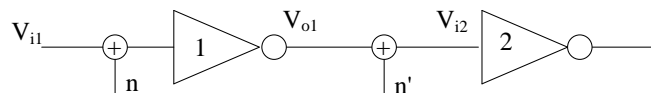
odnosno

$$V_{O1} = f(V_{i1} + n) = f(V_{i1}) + n \frac{dV_o}{dV_i} + n^2 \frac{d^2V_o}{dV_i^2} + \dots$$

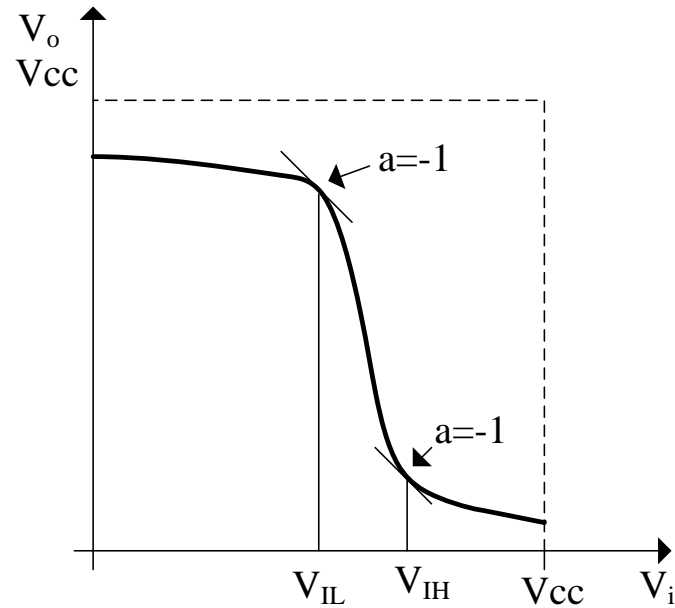
Ako zanemarimo izvode višeg reda, smatrajući da su približno jednaki nuli

$$V_{O1} = f(V_{i1} + n) = f(V_{i1}) + n \frac{dV_o}{dV_i} = f(V_{i1}) + na$$

gde je a pojačanje na karakteristici prenosa u tački V_{i1} . Kako na ulazu u drugi inverter može da se pojavi šum n' , ne smemo dozvoliti da se šum kroz prvi inverter pojača. Da bi ostavili mogućnost da neki šum sme da se pojavi i na ulazu u drugi inverter. Moramo ga "suzbiti". Znači pojačanje u toj tački mora biti po apsolutnoj vrednosti manje od 1.



Znači pojačanje u toj tački mora biti po apsolutnoj vrednosti manje od 1. I to nam je mera za određivanje tačaka V_{IL} i V_{IH} . To su vrednosti u kojima je pojačanje na karakteristici prenosa jednako jedan po apsolutnoj vrednosti. U slučaju invertorske karakteristike -1.

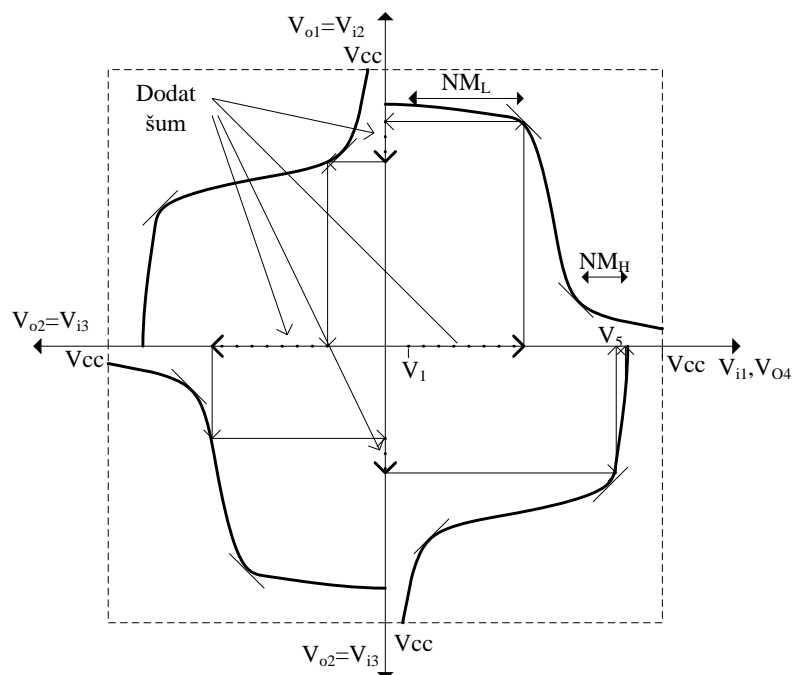


Definicija margina šuma ostaje ista kao na početku, ali ćemo ih sada zvati marginama šuma za višestruke izvore šuma (MS – multiple source)

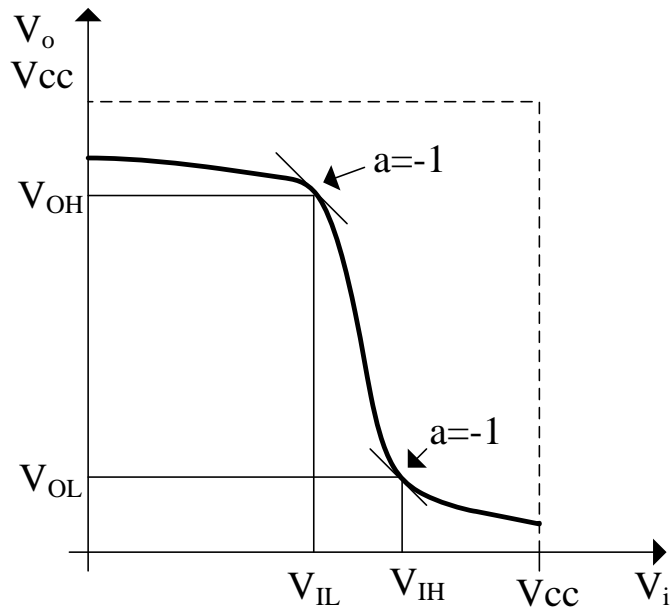
$$NM_{LMS} = V_{IL} - V_{OL}$$

$$NM_{HMS} = V_{OH} - V_{IH}$$

Treba uočiti da ovo ne znači da se u svakoj tački digitalnog sistema sme pojaviti šum ovih amplituda. Bez obzira što je u prikazanoj situaciji oslabljen kroz logičko kolo može doći do akumulacije šuma kao na primeru u lancu četiri invertora.

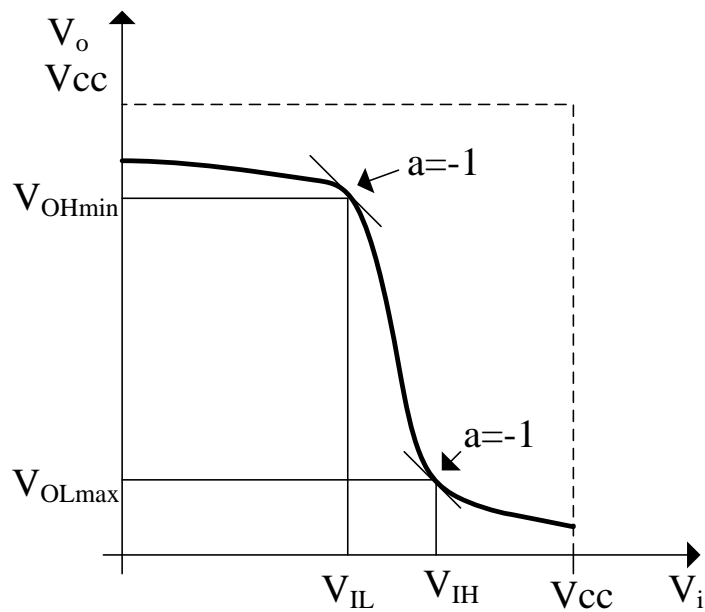


Iz tog razloga pojedini autori drugačije definišu margine šuma, odnosno napone logičkih nula i jedinica.



Jasno je da za ovako definisane nivoe logičke nule i logičke jedinice ne važi održavanje naponskih nivoa. Mi sigurno nećemo definisati na taj način. Ostajemo pri već utvrđenoj definiciji.

Isto tako neki autori te tačke nazivaju minimalnim naponom logičke jedinice V_{OHmin} i maksimalnim naponom logičke nule V_{OLmax} .



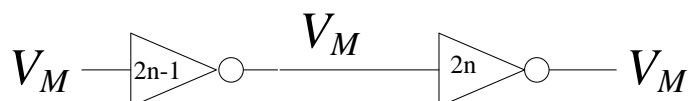
Treba uočiti da za karakteristiku prenosa koja predstavlja “dobro” logičko kolo sigurno je ispunjen uslov $V_{OHmin} > V_{IH}$ i isto $V_{OLmax} > V_{IL}$ pa predlažu drugačiju definiciju margina šuma

$$NM_{LMS} = V_{IL} - V_{OLmax}$$

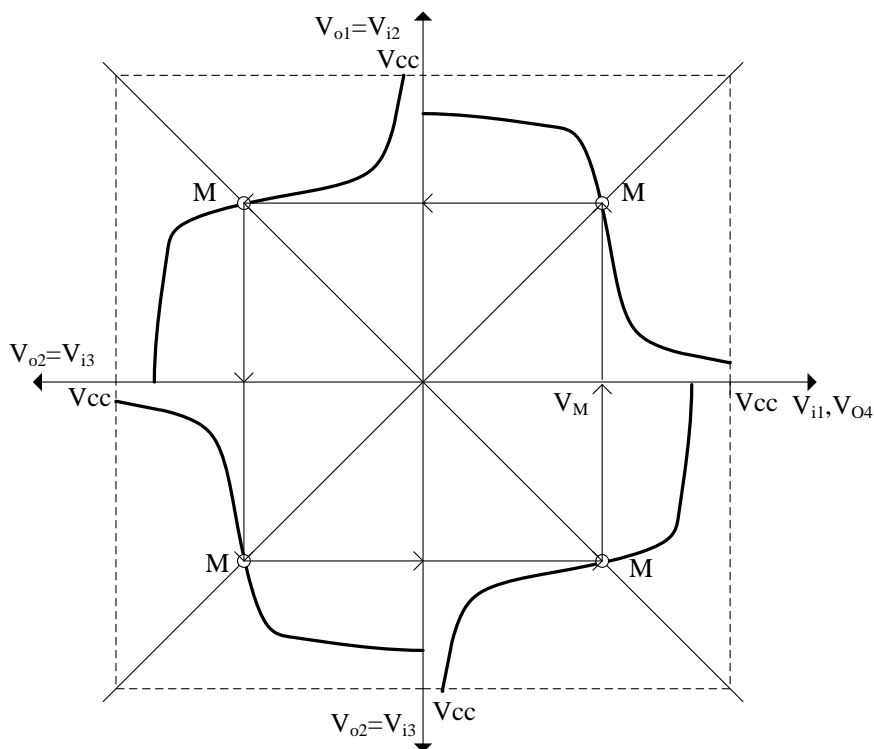
$$NM_{HMS} = V_{OHmin} - V_{IH}$$

Ovakva definicija je mnogo bliža realnoj, inženjerskoj upotrebi logičkih kola. Ali isto tako ne treba zaboraviti da je karakteristika prenosa nacrtana za tipičnog predstavnika familije. Principski zbog različitih parametara (u nekom logičkom kolu otpornik u bazi tranzistora je 10k, a u drugom zbog varijacija parametara u proizvodnji 9.8k itd) svako logičko kolo iz iste familije će imati jedinstvenu karakteristiku prenosa i ove tačke će se razlikovati. Uvedene definicije nama trebaju, za sada, da uporedimo različite familije logičkih kola, i iz tog razloga ćemo se držati “naših” definicija.

Isto tako neko je mogao da postavi pitanje: Zar nije moguća i sledeća situacija kada nema regenerabilnosti?



Da. Ona jeste matematički moguća što se vidi i sa grafika



Ali fizički i inženjerski ona nije moguća. Iz više razloga:

Karakteristike prenosa invertora nisu identične pa ni položaji tačke V_M

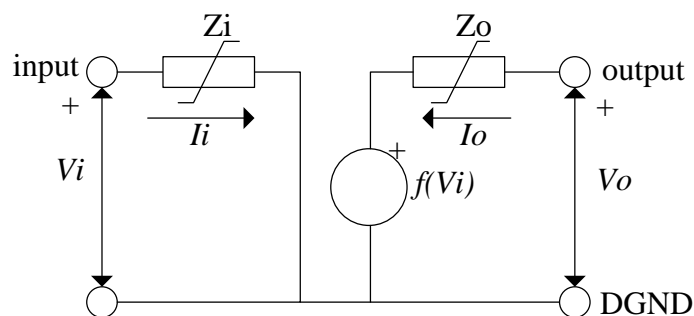
A čak i da jesu poremećaj napona, šum, pa makar i od jednog elektrona će izazvati regenerabilnost. Takav šum sigurno postoji (termički, ...)

Napon na izlazu logičkog kola se neće menjati samo zbog promene ulaznog napona. Pa ostaje pitanje značenja V_{OHmin} i V_{OLmax} određenih sa grafika, a koji su posledica samo promene ulaznog napona. U određivanju ovih vrednosti, radi upotrebe logičkih kola u realnom svetu, sigurno treba uzeti u obzir varijacije parametara komponenti koje čine logičko kolo ali isto tako ne treba zaboraviti struje (koje smo do sada zanemarivali posmatrajući neopterećeno logičko kolo) koje će u realnom svetu postojati i na ulazu i na izlazu kola. Stvarni napon na izlazu logičkog kola je

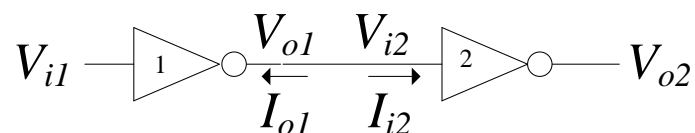
$$V_o^{stvarno} = V_o^{po\ funkciji\ prenosa} + Z_o I_o$$

Prema tome dolazi do porasta napona logičke nule, kao i do pada napona logičke jedinice. Sa ovim je povezan pojam

Strujni kapacitet logičkog kola



Nije nam cilj, niti nam treba da odredimo nelinearne impedanse Z_i i Z_{os} i Z_{op} . Da bi videli kako one utiču na promenu izlaznog napona, nama trebaju informacije o ulaznim i izlaznim strujama. I to za definisane napone na ulazu i izlazu, napone logičke nule i logičke jedinice.



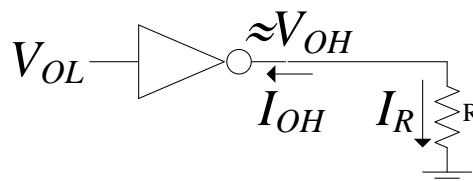
Znači, u statičkom režimu, ćemo menjati napon na ulazu koji odgovara naponu logičke nule i posmatrati najgori slučaj, odnosno kada je struja najveća i odrediti I_{ILmax} . Opseg napona koji ćemo dovoditi je V_{OL} do V_{IL} . Ali uzimajući u obzir i mogućnost pojave šuma u stvari ćemo testirati ulaznu struju u opsegu 0 do V_{IL} . Isto to ćemo uraditi i za napon logičke jedinice na

ulazu. Menjaćemo napon od V_{CC} do V_{IH} i za najgori slučaj, najveću struju odrediti I_{IHmax} . Normalno mi to radimo za tipičnog predstavnika familije i nominalne parametre (osim ako ne dobijemo u zadatku da se neki parametar menja, pa i tu promenu moramo uzeti u obzir). U datasheet-u proizvođači će dati informacije o ovim strujama u sledećem obliku

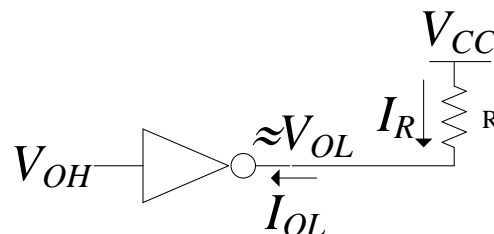
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
I_{IH}	$V_{CC} = 5.5 \text{ V}, V_I = 2.7 \text{ V}$			20	μA
I_{IL}	$V_{CC} = 5.5 \text{ V}, V_I = 0.4 \text{ V}$			-0.1	mA

Često uslovi testiranja kod proizvođača i naši nisu identični. Na primer za ovo kolo proizvođač nije za merenje ulazne struje I_{IL} doveo napon V_{IL} . Radije je doveo napon V_{OLmax} smatrajući da to bolje odlikava realnu upotrebu logičkog kola. Znači neko prethodno logičko kolo koje je svojim naponom i prouzrokovalo ovu struju na ulazu, u normalnom režimu rada logičke nule na izlazu i neće dati veći napon nego V_{OLmax} . Slično je i za I_{IH} . Međutim opet se vraćamo na činjenicu da nama ove informacije, za sada, više trebaju radi upoređenja različitih familija logičkih kola. Pri čemu uvek moramo biti svesni, kao inženjeri, šta te informacije znače, odnosno šta dobijamo kao informacije od proizvođača.

Za strujne kapacitete na izlazu logičkog kola situacija je dosta drugačija. Prvo što treba uočiti jesu pravi smerovi struja kada je na izlazu logičkog kola, treba da bude, logička jedinica odnosno logička nula. Uočimo da u sledećoj situaciji



Odnosno kada bi trebala da je logička jedinica na izlazu, standardno logičko kolo “daje” struju, odnosno zbog referentnog smera, izlazna struja će biti negativna. I zbog nje dolazi do pada napona logičke jedinice. Isto tako



kada bi trebalo da je logička nula na izlazu, standardno logičko kolo “prima” struju, odnosno zbog referentnog smera, izlazna struja će biti pozitivna. I zbog nje dolazi do porasta napona logičke nule.

(Uočiti da je upotrebljen pojam standardno, pošto postoje familije koje su uvek izvori, daju struju, kao što je na primer ECL familija logičkih kola).

Za određivanje realnih maksimalnih vrednosti ovih struja, čestu ulogu ima i koju disipaciju kolo može da “trpi”. Na primer za napon logičke nule na izlazu disipacija na kolu koja potiče od izlazne struje je $P=V_{OL}I_{OL}$, a za napon logičke jedinice na izlazu kola disipacija na kolu koja potiče od izlazne struje je $P=(V_{CC}-V_{OH})(-I_{OH})$. Nemojte da vas zbuni ovaj minus. Posledica je neslaganja referentnog i pravog smera struje.

I isto tako ne smemo dozvoliti da napon logičke jedinice na izlazu kola padne do V_{IH} odnosno da napon logičke nule ode V_{IL} . Sada se povezuju pojmovi

$$V_{OHmin} \leftrightarrow I_{OHmax}$$

$$V_{OLmax} \leftrightarrow I_{OLmax}$$

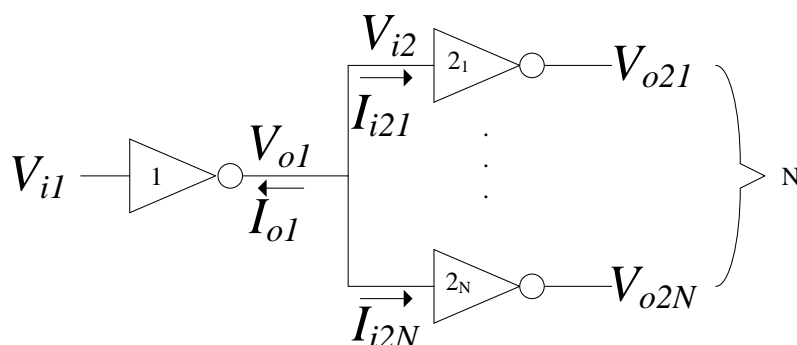
sa koje god strane gledali. Na primer ako smo definisali koliko želimo da bude V_{OHmin} određimo koliko je I_{OHmax} da bi naš kriterijum bio zadovoljen. Ili ako smo na primer zbog disipacije definisali I_{OHmax} videćemo i izračunati koliko je V_{OHmin} . Pri ovoj analizi na ulaz logičkog kola postavljamo napone tako da dobijemo najgori slučaj. Odnosno minimalno I_{OHmax} . Nadam se da nije zbunjujuće. Videćemo već na primerima realnih logičkih kola.

Kako to izgleda u datasheet-u

PARAMETER	MIN	TYP	MAX	UNIT
I_{OH} High-level output current			-0.4	mA
I_{OL} Low-level output current			4	mA

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{OH}	$V_{CC} = 4.5 \text{ V to } 5.5 \text{ V}, I_{OH} = -0.4 \text{ mA}$	$V_{CC} - 2$	$V_{CC} - 2$		V
V_{OL}	$V_{CC} = 4.5 \text{ V } I_{OL} = 4 \text{ mA}$		0.25	0.4	V

Kod starijih familija logičkih kola odnos ulaznih i izlaznih struja je bio ograničavajući faktor u mogućnosti jednog logičkog kola da “drajvuje” više njih. Odnosno koliko ulaza u naredna logička kola može da se poveže na izlaz jednog logičkog kola.



N se naziva faktorom grananja logičkog kola i određivan je na sledeći način:

$$N_L = \frac{|I_{OLmax}|}{I_{ILmax}}$$

$$N_H = \frac{|I_{OHmax}|}{I_{IHmax}}$$

$$N = \min(N_L, N_H)$$

Međutim, danas, za savremena logička kola realizovana u MOS tehnologiji dominantniji su elementi u povezivanju koji utiču na dinamički režim rada kola, odnosno na njegovu brzinu rada. Pojam koji se pojavljuje jeste logical effort. Logički trud u najboljem prevodu. Evo nekih definicija u originalu, a na odgovarajućem mestu kada budemo analizirali ta logička kola ćemo diskutovati o tome.

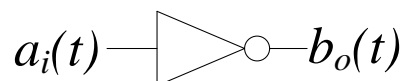
The logical effort of a logic gate is defined as the number of times worse it is at delivering output current than would be an inverter with identical input capacitance.

The logical effort of a logic gate is defined as the ratio of its input capacitance to that of an inverter that delivers equal output current.

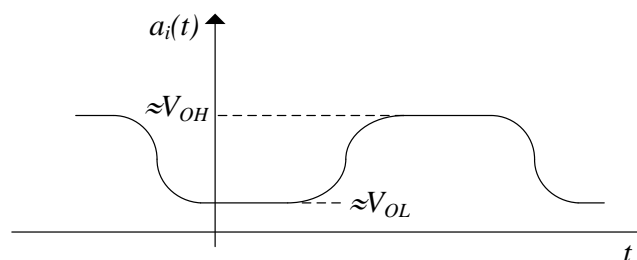
Spominju se kapacitivnosti.

Dinamičke karakteristike logičkog kola

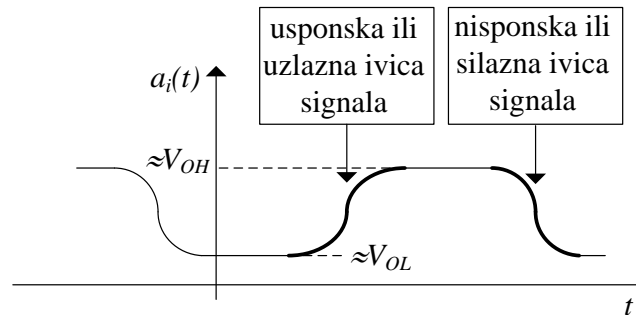
Signali koji dolaze na ulaz logičkog kola se menjaju u vremenu i njihovi naponski nivoi nisu samo V_{OL} i V_{OH} .



Približan realan signal, posmatrajući ga u vremenu, koji će se naći na ulazu u kolo je



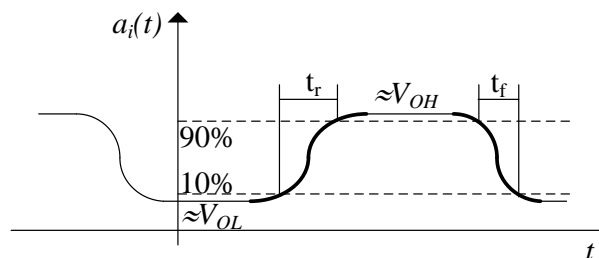
Da prvo definišemo neke pojmove na njemu



Promena signala je između niskog nivoa, V_{OL} , i visokog nivoa, V_{OH} . Amplituda promene je $A = V_{OH} - V_{OL}$. Sledeće dve tačke od interesa su $V_{OL} + 10\% A$ i $V_{OL} + 90\% A$.

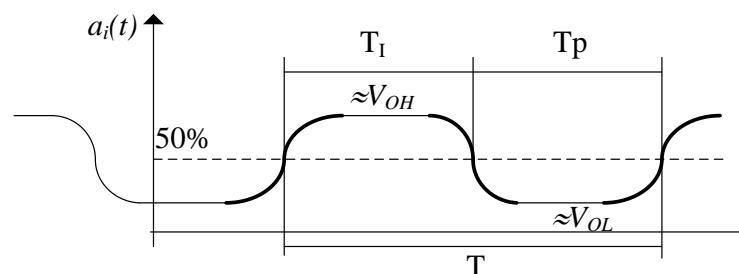
Vreme koje usponska ivica provede između ove dve tačke naziva se vremenom uspona, trajanjem usponske ivice, rise time i obeležava se sa t_r .

Vreme koje nisponska ivica provede između ove dve tačke naziva se vremenom pada, trajanjem nisponske ivice, fall time i obeležava se sa t_f .



Za „digitalni“ signal ova dva vremena nisu jednaka i principski su različita.

Sledeća tačka od interesa jeste $V_{OL} + 50\% A$



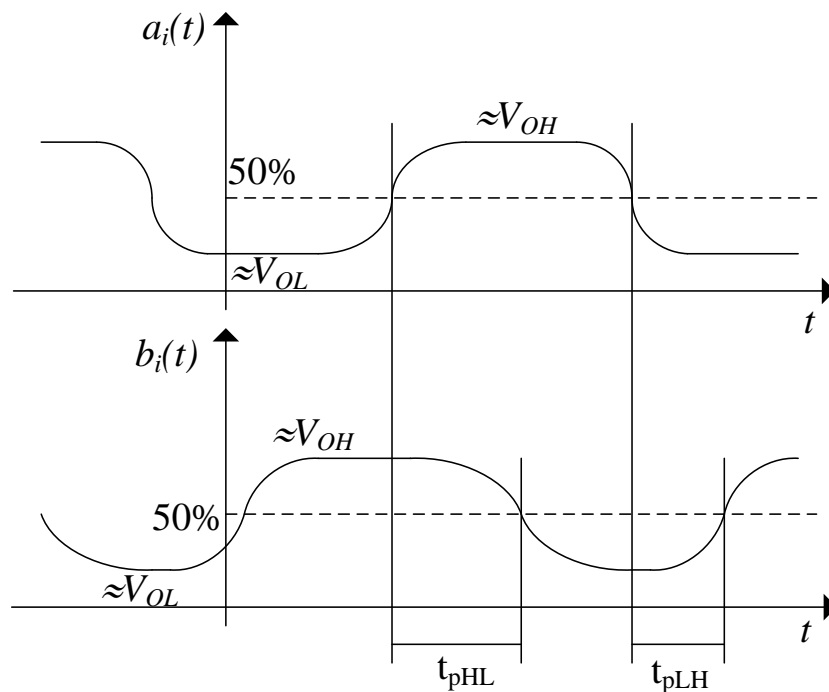
Vreme koje signal provede između tačke $V_{OL} + 50\% A$ na usponskoj ivici i tačke $V_{OL} + 50\% A$ na nisponskoj ivici naziva se trajanjem signala logičke jedinice, trajanjem impulsa T_I .

Vreme koje signal provede između tačke $V_{OL} + 50\% A$ na nisponskoj ivici i tačke $V_{OL} + 50\% A$ na usponskoj ivici naziva se trajanjem signala logičke nule, trajanjem pauze T_P .

Ako se signal periodično menja njegova perioda je $T = T_I + T_P$.

Ako je $T_I = T_P$ signal se naziva simetričnim.

Prolaskom kroz logičko kolo signal će se dodatno „izobličiti“



Na izlazu se silazna ivica neće pojaviti u isto vreme kada i uzlazna ivica na ulaznom signalu. (ne zaboravite da nam je primer inverter). Na osnovu definisanih tačaka, odnosno vremensko rastojanje između tačaka $V_{OL} + 50\%A$ na uzlaznoj ivici ulaznog signala i silaznoj ivici izlaznog signala definiše se kao vreme kašnjenja silazne ivice t_{pHL} (p - propagation, HL - promena sa high na low). Vremensko rastojanje između tačaka $V_{OL} + 50\%A$ na silaznoj ivici ulaznog signala i uzlaznoj ivici izlaznog signala definiše se kao vreme kašnjenja uzlazne ivice t_{pLH} . Principski t_{pHL} nije jednako t_{pLH} .

U svrhu poređenja različitih logičkih kola uvešćemo pojam srednjeg kašnjenja t_p

$$t_p = \frac{t_{pLH} + t_{pHL}}{2}$$

Jasno je da ćemo se sa stanovišta inženjerstva truditi da vremena t_{pHL} i t_{pLH} budu što je manja moguća i približno jednaka. Primena kaže, pošto ne znamo kakva će se promena dešavati da izlazni signal moramo da „sačekamo“ uzimajući u obzir kašnjenje

$$t_p = \max(t_{pLH}, t_{pHL})$$

Uočiti da nejednakost kašnjenja u izlaznom signalu izaziva i promene trajanja impulsa i pauze.

Jasno je da će postojati vreme uspona i pada i na izlaznom signalu i principski su različiti od vremena uspona i pada na ulaznom signalu. Međutim samo merenjem vremena usponske i silazne ivice na izlaznom signalu neće nam dati informaciju koliko je uticaj samog kola. Isto tako i neidealna usponska ili silazna ivica na ulaznom signalu utiče na izmereno kašnjenje kola. Zbog toga se pribegava aproksimativnim formulama

Kašnjenje silazne ivice, (u slučaju invertora)

$$t_{pHL} = \sqrt{t_{pHL0}^2 + \left(\frac{t_r}{2}\right)^2}$$

t_{pHL} – izmereno

t_r – izmereno na ulaznom signalu

t_{pHL0} – kašnjenje koje potiče od samog kola, i to računamo

Ista, slična formula, se koristi i za kašnjenje uzlazne ivice

$$t_{pLH} = \sqrt{t_{pLH0}^2 + \left(\frac{t_f}{2}\right)^2}$$

Za trajanje silazne ivice na izlaznom signalu

$$t_{fout} = \sqrt{t_{fout0}^2 + (t_r)^2}$$

t_{fout} – izmereno

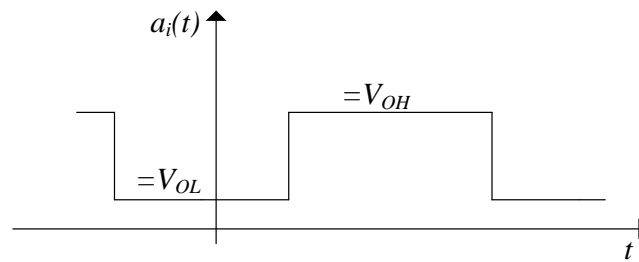
t_r – izmereno na ulaznom signalu

t_{fout0} – trajanje silazne ivice koje potiče od samog kola, i to računamo

Ista, slična formula, se koristi za trajanje uzlazne ivice na izlaznom signalu

$$t_{rout} = \sqrt{t_{rout0}^2 + (t_{rf})^2}$$

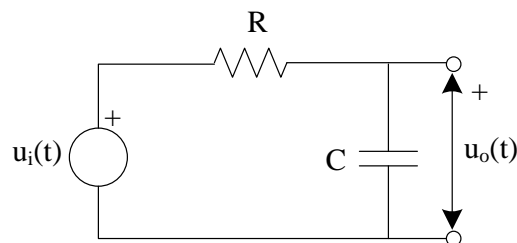
U samoj akademskoj analizi logičkih kola u dinamičkom režimu da bi eliminisali uticaj ulaznog signala smatraćemo da na ulaz dovodimo idealan logički signala kod koga je $t_r=t_f=0$



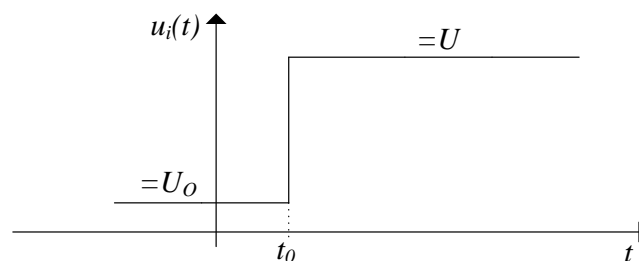
Na ove vremenske parametre u radu logičkih kola utiču parazitni reaktivni, akumulativni, elementi, kapacitivnosti i induktivnosti, kako unutar samog kola tako i van njega. Da bi utvrdili neke „gotove formule“ koje ćemo koristiti, da ne bi svaki put računali od početka posmatraćemo odziv realnog kola sa jednim akumulativnim elementom.

Odziv realnog kola sa jednim akumulativnim elementom

Posmatramo jednostavno LTI (linear time invariant – linerano kolo sa vremenski nepromenljivim elementima) kolo sa jednim akumulativnim elementom, kapacitivnošću.



i smatrajmo da je napon pobudnog generatora



Interesuje nas kako će se menjati izlazni napon $u_o(t)$.

Da prvo uočimo neke stvari. „Prirodna“ jednačina za vezu usaglašanih napona i struja na kondenzatoru C je

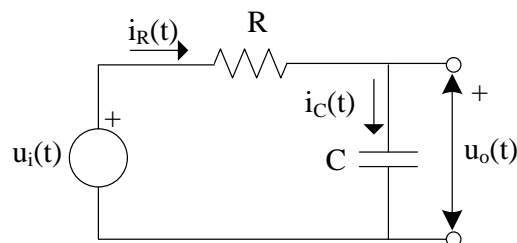
$$i_C(t) = \frac{du_C(t)}{dt}$$

Direktno nam ova jednačina kaže:

Da bi se napon na kondenzatoru trenutno promenio potrebna je beskonačno velika struja,

Ako postoji struja kroz kondenzator biće i promene napona na njemu.

Posmatrajući naše kolo, možemo da uočimo da beskonačna struja ne može da postoji, struja u kolu će biti ograničena otpornikom R,



pošto je

$$i_C(t) = i_R(t)$$

i

$$i_R(t) = \frac{u_i(t) - u_o(t)}{R}$$

Ulazni napon ima konačne vrednosti, a uočiti da nema fizičkog smisla smatrati da će izlazni napon biti beskonačan, pošto bi u tom slučaju struja kroz kondenzator bila suprotnog smera odnosno „praznila bi kondenzator. Ovakvo razmišljanje nas dovodi i do pojma stacionarnog, ustaljenog stanja u kolu. Smatramo da je pre trenutka t_0 stanje napona na ulaz U_0 „beskonačno“ trajalo. Intuitivno, ako bi napona na kondenzatoru bio manji od napona U_0 postojala bi struja kroz kondenzator i on bi se punio i nekom trenutku bi možda i postao veći od napona U_0 . A ako bi napon na kondenzatoru bio veći od napona U_0 postojala bi struja kroz kondenzator suprotnog smera i on bi se praznio, pa bi u nekom trenutku možda bio i manji od napona U_0 . Međutim bez obzira na smer promene u nekom trenutku napon na kondenzatoru može postati jednak U_0 . U tom trenutku važi

$$\lim_{u_C(t) \rightarrow U_0} i_R(t) = \lim_{u_C(t) \rightarrow U_0} i_C(t) = \lim_{u_C(t) \rightarrow U_0} \frac{u_C(t) - u_o(t)}{R} = \lim_{u_C(t) \rightarrow U_0} \frac{u_C(t) - U_0}{R} = 0$$

odnosno struja kroz kondenzator postaje jednaka nuli, a tada važi

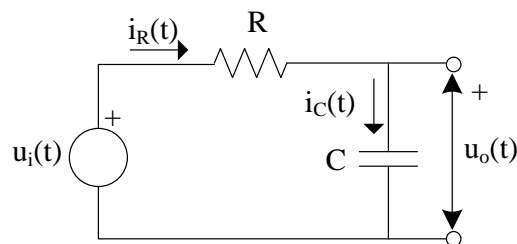
$$i_C(t) = 0 \Rightarrow \frac{du_C(t)}{dt} = 0 \Rightarrow u_C(t) = \text{const}$$

Znači ako je vreme pre trenutka t_0 dovoljno dugo trajalo (beskonačno) kolo će ući u stacionarno stanje u kome nema više promena i karakterisano je

$$i_C(t) = 0, \quad u_C(t) = \text{const}$$

Ova činjenica će nam kasnije pomoći u rešavanju mnogih „složenijih“ kola. Znači napon na kondenzatoru u „našem“ kolu biće neposredno pre trenutka t_0 jednak U_0 .

Da vidimo šta se dešava posle trenutka t_0 .



Ispišimo jednačine:

$$u_i(t) - u_R(t) - u_C(t) = 0$$

$$i_R(t) = i_C(t)$$

i malo ih preuredimo i zamenimo redom šta znamo

$$u_R(t) + u_C(t) = u_i(t)$$

$$Ri_R(t) + u_C(t) = u_i(t)$$

$$Ri_C(t) + u_C(t) = u_i(t)$$

$$RC \frac{du_C(t)}{dt} + u_C(t) = u_i(t)$$

Pri čemu je

$$u_i(t) = (U - U_0)h(t - t_0) + U_0$$

gde je $h(t)$ Hejvisajdova funkcija. Kako je

$$u_o(t) = u_C(t)$$

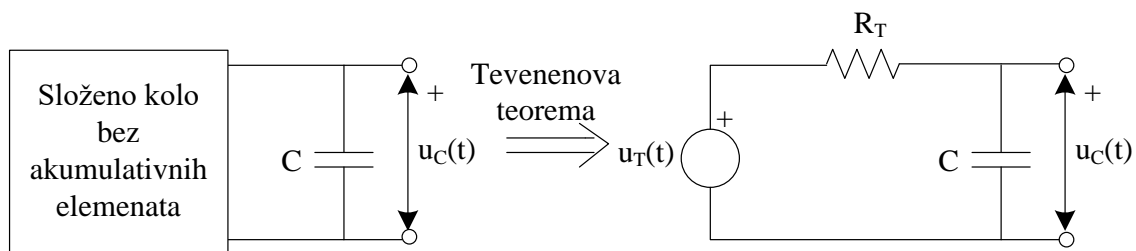
Možemo da napišemo

$$RC \frac{du_o(t)}{dt} + u_o(t) = u_i(t)$$

Dobili smo diferencijalnu jednačinu prvog reda i ona je karakteristična za ovo kolo. Videćemo da je karakteristična za bilo koje kolo sa jednim kondenzatorom. Opšte rešenje ove diferencijalne jednačine za $t \geq t_0$ jeste

$$u_o(t) = K_1 e^{-\frac{t-t_0}{\tau}} + K_2$$

Gde je $\tau = RC$ i naziva se vremenskom konstantom kola. Ima dimenziju vremena i konstantna je za ovo kolo. U opštem slučaju kola sa jednim kondenzatorom ova vremenska konstanta se dobija kao proizvod kapacitivnosti C i otpornosti koju ta kapacitivnost vidi kada se nezavisni naponski izvori (unutrašnja otpornost jednaka nuli) u kolu kratko spoje a nezavisni strujni izvori (unutrašnja otpornost jednaka beskonačnosti) izbace iz kola. Zavisni izvori ostaju takvi kakvi jesu u kolu. Uočimo da naše kolo sa slike koje analiziramo može da predstavlja i bilo koje drugo složeno kolo sa jednim kondenzatorom, gde je ostatak kola u odnosu na kondenzator zamenjen po Tevenenovoj teoremi.



Ostaje da odredimo konstante K_1 i K_2 . One se određuju iz početnih uslova. Kako smo ustanovili da je u trenutku t_0 napon na kondenzatoru U_0 i iz opšteg rešenja

$$u_o(t_0) = K_1 e^{-\frac{t_0-t_0}{\tau}} + K_2 = K_1 + K_2$$

Onda je

$$K_1 + K_2 = U_0$$

Isto tako iz diferencijalne jednačine kola

$$\begin{aligned} RC \frac{du_o(t)}{dt} + u_o(t) = u_i(t) &\Rightarrow \frac{du_o(t)}{dt} = \frac{u_i(t) - u_o(t)}{RC} \\ \Rightarrow \frac{du_o(t_0)}{dt} = \frac{u_i(t_0) - u_o(t_0)}{RC} &\Rightarrow \frac{du_o(t_0)}{dt} = \frac{U - U_0}{\tau} \end{aligned}$$

a iz opšteg rešenja

$$\frac{du_o(t)}{dt} = \frac{d\left(K_1 e^{-\frac{t-t_0}{\tau}} + K_2\right)}{dt} = -\frac{K_1}{\tau} e^{-\frac{t-t_0}{\tau}}$$

i u trenutku $t=t_0$

$$\left. \frac{du_o(t)}{dt} \right|_{t=t_0} = -\frac{K_1}{\tau}$$

Sve u svemu

$$K_1 + K_2 = U_0$$

$$\frac{U - U_0}{\tau} = -\frac{K_1}{\tau}$$

pa je

$$K_1 = -(U - U_0) \quad i \quad K_2 = U$$

odnosno rešenje za izlazni napon je

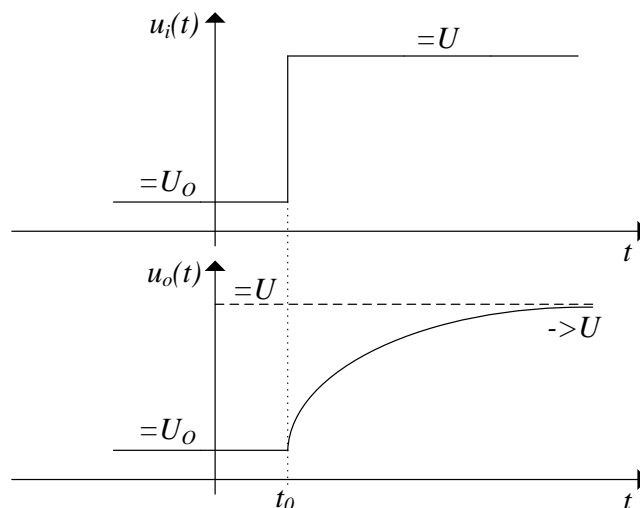
$$u_o(t) = -(U - U_0)e^{-\frac{t-t_0}{\tau}} + U \quad t \geq t_0$$

i dosta često se piše u sledećem obliku

$$u_o(t) = (U - U_0)\left(1 - e^{-\frac{t-t_0}{\tau}}\right) + U_0 \quad t \geq t_0$$

Zbog toga što je $(U-U_0)$ promena ulaznog napona a U_0 početna vrednost što je u ovom obliku pisanja „vidljivije“.

Nacrtano na grafiku



Gledajući izraz za izlazni napon, vidimo da vrednost teži ka konačnoj vrednosti U , i dostiže je tek u tački $t=\infty$, kada se i završava prelazni proces. Za praktične slučajeve a i za crtanje, ovo nam baš i nije zgodno. Zbog toga se u praksi smatra da se prelazni proces završava posle vremena 5τ , kada se dostiže 99.3% promene. Isto tako zanimljivo je videti koliko je trajanje usponske (simetrično je i za silaznu) ivicu prouzrokovanu ovom kapacitivnošću

$$u_o(t_1) = 10\% (U - U_0) + U_0 = (U - U_0) \left(1 - e^{-\frac{t_1 - t_0}{\tau}}\right) + U_0$$

$$u_o(t_2) = 90\% (U - U_0) + U_0 = (U - U_0) \left(1 - e^{-\frac{t_2 - t_0}{\tau}}\right) + U_0$$

$$t_1 = t_0 - \tau \ln(0.9)$$

$$t_2 = t_0 - \tau \ln(0.1)$$

$$t_2 - t_1 = t_r = \tau \ln(9) \approx 2.2\tau$$

odnosno vreme uspona, pada, u slučaju jednog akumulativnog elementa (videćemo da to važi i za induktivnosti) je 2.2τ . Na sličan način možemo proučiti i kašnjenje

$$u_o(t_1) = 50\% (U - U_0) + U_0 = (U - U_0) \left(1 - e^{-\frac{t_1 - t_0}{\tau}}\right) + U_0$$

$$t_1 = t_0 - \tau \ln(0.5)$$

$$t_1 - t_0 = t_p = \tau \ln(2) \approx 0.69\tau$$

Odnosno kašnjenje (simetrično za silaznu ivicu) koje unosi akumulativni element je $\tau \ln(2)$ što je približno 0.69τ .

Nama nije cilj da svaki put kada rešavamo kolo sa jednim akumulativnim elementom rešavamo diferencijalne jednačine. Ono što treba uočiti jeste: ako bi pisali diferencijalne jednačine za neki drugi parametar u kolu napon na otporniku, struju kroz otpornik itd. Dobili bi isti oblik diferencijalne jednačine i isti oblik opšteg rešenja. Bili bi samo drugačiji početni uslovi a sa time i drugačija rešenja za K_1 i K_2 . Na primer da smo hteli da vidimo kako izgleda napon na otporniku $u_R(t)$. U već definisanu diferencijalnu jednačinu za

$$t \geq t_0$$

$$u_R(t) = Ri_R(t) = Ri_C(t) = RC \frac{du_C(t)}{dt}$$

$$u_R(t) = u_i(t) - u_C(t)$$

$$RC \frac{du_C(t)}{dt} + u_C(t) = u_i(t)$$

Rešimo po $u_c(t)$

$$u_c(t) = K_1 e^{-\frac{t-t_0}{\tau}} + K_2$$

ne moramo da tražimo K_1 i K_2 pošto će opšte rešenje za $u_R(t)$ biti

$$u_R(t) = u_i(t) - u_c(t) = U - K_1 e^{-\frac{t-t_0}{\tau}} + K_2$$

odnosno principski isto kao i ranije

$$u_R(t) = K_{12} e^{-\frac{t-t_0}{\tau}} + K_{22}$$

Samo sa drugim konstantama koje određujemo iz drugačijih početnih uslova.

U tom smislu ajde da se vratimo na određivanje konstanti K_1 i K_2 . Da bi pratili šta radimo uvedimo pojam

$$\lim_{t \rightarrow \infty} u_o(t) = u_o(\infty)$$

odnosno napon na izlazu u beskonačnosti, i sto tako

$$u_o(t_0^-) \quad \text{za} \quad (t_0 - t_0^-) \rightarrow 0$$

napon na izlazu u trenutku neposredno pre trenutka t_0 , pre dejstva promene, kao i

$$u_o(t_0^+) \quad \text{za} \quad (t_0^+ - t_0) \rightarrow 0$$

napon na izlazu u trenutku neposredno posle trenutka t_0 , posle dejstva promene.

U tom slučaju za određivanje konstanti ćemo koristiti

1.

$$u_o(t_0^+) = K_1 e^{-\frac{t_0^+ - t_0}{\tau}} + K_2 = K_1 + K_2$$

onda je

$$K_1 + K_2 = u_o(t_0^+)$$

2.

$$\lim_{t \rightarrow \infty} u_o(t) = u_o(\infty)$$

$$\lim_{t \rightarrow \infty} \left(K_1 e^{-\frac{t-t_0}{\tau}} + K_2 \right) = K_2$$

onda je

$$K_2 = u_o(\infty)$$

pa je i

$$K_1 = u_o(t_0^+) - u_o(\infty)$$

Rešenje diferencijalne jednačine je

$$u_o(t) = u_o(\infty) + (u_o(t_0^+) - u_o(\infty))e^{-\frac{t-t_0}{\tau}} \quad \text{za } t \geq t_0$$

Kako smo videli da je diferencijalna jednačina ista za bilo koji parametar $p(t)$ u kolu možemo da napišemo

$$p(t) = p(\infty) + (p(t_0^+) - p_o(\infty))e^{-\frac{t-t_0}{\tau}} \quad \text{za } t \geq t_0$$

Znači nećemo pisati i rešavati diferencijalne jednačine. Krenućemo od gotovog rešenja. Na nama je samo da odredimo

$$\tau \quad p_o(t_0^+) \quad p_o(\infty)$$

1. τ

Određujemo kao proizvod C i otpornosti koju vidi taj kondenzator tako što sve nezavisne naponske izvore kratko spojimo, nezavisne strujne izvore uklonimo iz kola, ostavimo otvorene veze, pri čemu zavisni izvori ostaju.

2. $p_o(t_0^+)$

Određujemo na osnovu saznanja da je u pitanju realno kolo i da napon na kondenzatoru ne može trenutno da se promeni.

$$u_c(t_0^+) = u_c(t_0^-)$$

3. $p_o(\infty)$

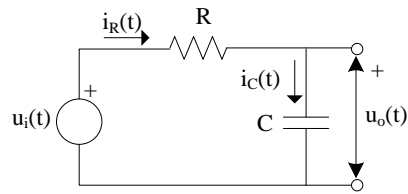
Određujemo na osnovu saznanja da su u beskonačnosti završeni prelazni procesi odnosno da nema promene napona na kondenzatoru. A uslov da nema promene napona na kondenzatoru je

$$i_c(\infty) = 0$$

i zamenjujemo u gotovo rešenje

$$p(t) = p(\infty) + (p(t_0^+) - p_o(\infty))e^{-\frac{t-t_0}{\tau}} \quad \text{za } t \geq t_0$$

Na ovaj način možemo da se lakše izborimo i sa situacijom da smo na primer u eksperimentu za kolo



Počeli posmatranje u trenutku t_1 pre čemu znamo da se desila promena negde u prošlosti i da je na ulazu kola $u_i(t_1) = U$. Izmerili smo napon $u_o(t_1)$, videli da je manji od napona U , odnosno da promena još uvek traje. Postavlja se pitanje da li ćemo primenom ovih saznanja dobiti tačne jednačine za promenu izlaznog napona, Da se podsetimo, da smo počeli posmatranje od trenutka t_0 dobili bi jednačinu

$$u_o(t) = U + (U_0 - U)e^{-\frac{t-t_0}{\tau}} \quad t \geq t_0$$

Kako mi sada krećemo da posmatramo pojavu od trenutka t_1 računamo

1. τ

$$\tau = C * R$$

2. $p_o(t_1^+)$

Kako je izlazni napon istovremeno i napon na kondenzatoru i koji smo „izmerili“

$$u_o(t_1^+) = U_1$$

3. $p_o(\infty)$

Kada se završe svi prelazni procesi $i_c(\infty) = 0$, što je istovremeno i struja kroz otpornik, pa je napon na otporniku u beskonačnosti jednak nuli

$$u_o(\infty) = u_i(\infty) - u_R(\infty) = U - 0 = U$$

Zamenom u gotov izraz dobijamo

$$u_o^1(t) = U + (U_1 - U)e^{-\frac{t-t_1}{\tau}} \quad t \geq t_1$$

Da li je to isto sa „tačnim“ izrazom

$$u_o^0(t) = U + (U_0 - U)e^{-\frac{t-t_0}{\tau}} \quad t \geq t_0$$

Na prvi pogled bi se reklo da baš i nije.

Međutim, ako iz tačnog izraza izračunamo U_1 i zamenimo u dobijenom izrazu da vidimo šta se dešava

$$u_o^0(t) = U + (U_0 - U)e^{-\frac{t-t_0}{\tau}} \quad t \geq t_0$$

$$u_o^0(t_1) = U + (U_0 - U)e^{-\frac{t_1-t_0}{\tau}} = U_1$$

$$u_o^1(t) = U + (U_1 - U)e^{-\frac{t-t_1}{\tau}} \quad t \geq t_1$$

$$u_o^1(t) = U + \left(U + (U_0 - U)e^{-\frac{t_1-t_0}{\tau}} - U \right) e^{-\frac{t-t_1}{\tau}} \quad t \geq t_1$$

$$u_o^1(t) = U + \left((U_0 - U)e^{-\frac{t_1-t_0}{\tau}} \right) e^{-\frac{t-t_1}{\tau}} \quad t \geq t_1$$

$$u_o^1(t) = U + (U_0 - U)e^{-\frac{t-t_0}{\tau}} \quad t \geq t_1$$

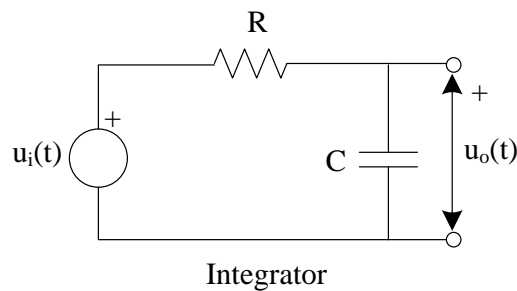
Znači, ništa nismo pogrešili

$$u_o^1(t) = u_o^0(t) \quad t \geq t_1$$

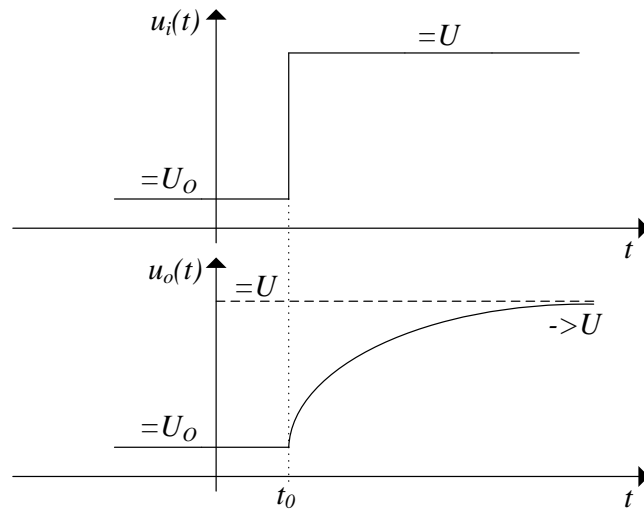
i s punim pravom smemo da izraz ostavimo u formi kako smo ga i našli

$$u_o^1(t) = U + (U_1 - U)e^{-\frac{t-t_1}{\tau}} \quad t \geq t_1$$

Kolo koje smo posmatrali naziva se integratorom



dok se uticaj kola na tok signala, odnosno izlazni signal naziva se integratorskim efektom. Izlazni signal liči da je integral u vremenu ulaznog signala. Kapacitivnost je paralelno u odnosu na tok signala.



Približno izvođenje

$$u_c(t) \approx \frac{1}{C} \int i_c(t)$$

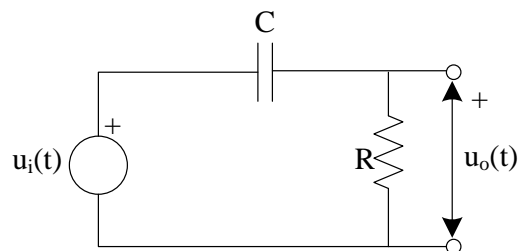
Pošto je na početku pojave

$$i_c(t) \approx \frac{u_i(t)}{R}$$

Onda je

$$u_o(t) = u_c(t) \approx \frac{1}{RC} \int u_i(t)$$

Posmatrajmo drugačiju konfiguraciju kola, gde je kapacitivnost redno u odnosu na tok signala.



a pobuda je identična onoj koju smo dovodili na integrator.

Kao što smo već videli važiće

$$u_o(t) = u_o(\infty) + (u_o(t_0^+) - u_o(\infty))e^{-\frac{t-t_0}{\tau}} \quad \text{za } t \geq t_0$$

1. τ

$$\tau = C * R$$

2. $u_o(t_0^+)$

Kako je izlazni napon istovremeno i napon na otporniku za koji važi

$$u_o(t_0^+) = u_R(t_0^+) = u_i(t_0^+) - u_c(t_0^+)$$

to je

$$u_o(t_0^+) = U - u_c(t_0^+)$$

Napon na kondenzatoru ne može trenutno da se promeni

$$u_c(t_0^+) = u_c(t_0^-)$$

Kako smatramo da su pre trenutka t_0 završeni svi prethodni prelazni procesi

$$i_c(t_0^-) = 0 = i_R(t_0^-)$$

$$u_c(t_0^-) = u_i(t_0^-) - u_R(t_0^-) = u_i(t_0^-) - Ri_R(t_0^-) = U_0 - 0 = U_0$$

pa je

$$u_o(t_0^+) = U - U_0$$

3. $u_o(\infty)$

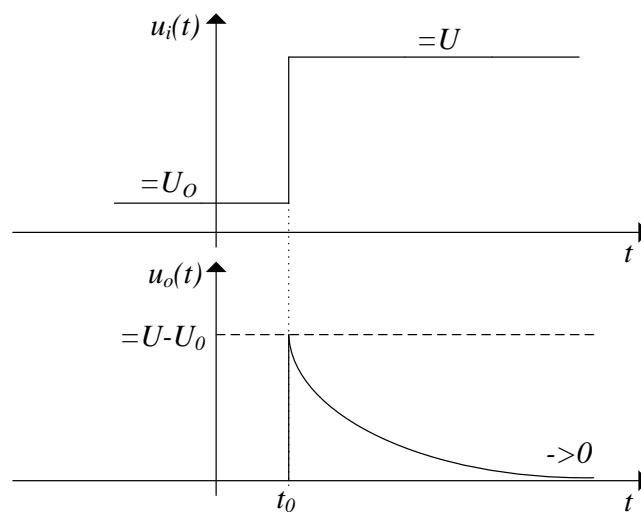
Kada se završe svi prelazni procesi $i_c(\infty) = 0$, što je istovremeno i struja kroz otpornik, pa je napon na otporniku u beskonačnosti jednak nuli

$$u_o(\infty) = u_R(\infty) = Ri_R(\infty) = Ri_c(\infty) = 0$$

Izraz za izlazni napon je

$$u_o(t) = (U - U_0)e^{-\frac{t-t_0}{\tau}} \quad \text{za } t \geq t_0$$

A grafik



Kolo se sada naziva diferencijatorom, a efekat na izlazni signal se naziva diferencijatorskim efektom. Kondenzator je redno u odnosu na tok signala.

Približno izvođenje

$$i_R(t) = i_C(t) = C \frac{du_C(t)}{dt}$$

$$u_C(t) = u_i(t) - u_R(t) = u_i(t) - Ri_R(t)$$

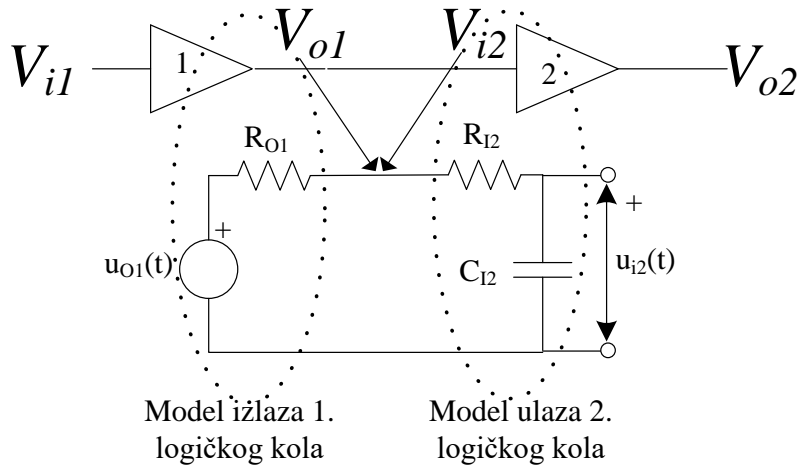
$$i_R(t) = C \frac{du_i(t)}{dt} - RC \frac{di_R(t)}{dt}$$

$$i_R(t) \approx C \frac{du_i(t)}{dt}$$

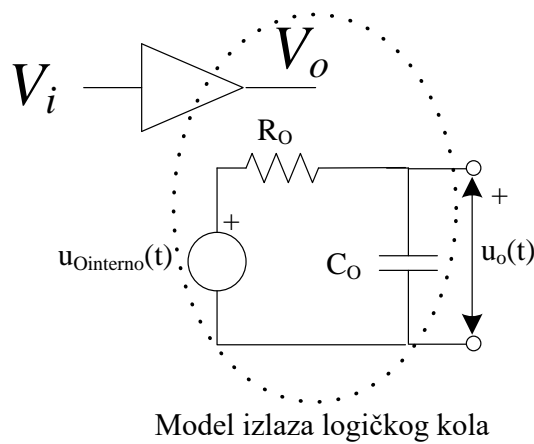
$$u_i(t) = u_R(t) = Ri_R(t) \approx RC \frac{du_i(t)}{dt}$$

Čemu sve ovo?

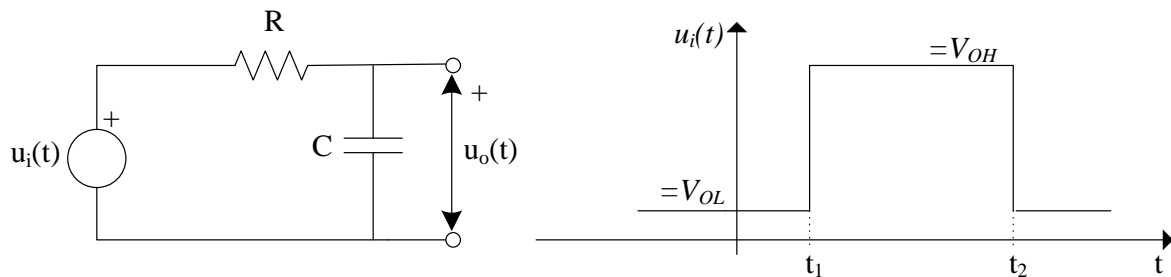
U analizi dinamičkog režima logičkih kola često ćemo se sretati sa situacijom



ili sa



Pa imamo sve elemente za analizu ovakvih situacija. U tom smislu da ponovimo rezultate u realnoj situaciji da na ulaz integratora dolazi logički impuls trajanja $T_1=t_2-t_1$



Smatraćemo da je dovoljno dugo na ulazu napon pre trenutka t_1 bio V_{OL} , uspostavljeno je stacionarno stanje, pa je i napon na kondenzatoru pre trenutka t_1 takođe V_{OL} .

Važi ono što smo izveli, kolo je sa jednim akumulativnim elementom,

$$u_o(t) = u_o(\infty) + (u_o(t_1^+) - u_o(\infty))e^{-\frac{t-t_1}{\tau}} \quad \text{za } t \geq t_1$$

1. τ

$$\tau = C * R$$

2. $u_o(t_1^+)$

Kako je izlazni napon istovremeno i napon na kondenzatoru važi

$$u_o(t_1^+) = u_c(t_1^+) = u_c(t_1^-)$$

to je

$$u_o(t_1^+) = V_{OL}$$

(napon na kondenzatoru ne može trenutno da se promeni)

3. $u_o(\infty)$

Kada se završe svi prelazni procesi $i_c(\infty) = 0 = i_r(\infty)$. Kako je u beskonačnosti napon na ulazu V_{OL} i struja kroz otpornik jednaka nuli

$$u_o(\infty) = u_i(\infty) - Ri_R(\infty) = V_{OL}$$

I na kraju

$$u_o(t) = u_o(\infty) + (u_o(t_1^+) - u_o(\infty))e^{-\frac{t-t_1}{\tau}} \quad \text{za } t \geq t_1$$

$$u_o(t) = V_{OL} + (V_{OL} - V_{OL})e^{-\frac{t-t_1}{\tau}} = V_{OL} \quad \text{za } t \geq t_1$$

Izlazni napon je konstantan i ne menja se! OPS! Da li je ovo u redu? Intuitivno sigurno nije, A i na osnovu našeg dosadašnjeg znanja nije. Nadam se da ste svi uočili gde je greška nastala.

Izraze koje smo izveli, izveli smo za jednu Hejvisajdovu pobudu. Kolo je kauzalno LTI i nema mogućnost predviđanja budućih pojava. Prema tome od trenutka t_1 do trenutka t_2 postoji samo jedna pobuda i kolo ne zna šta će se desiti u trenutku t_2 . Prema tome naša analiza je

1. τ

$$\tau = C * R$$

2. $u_o(t_1^+)$

Kako je izlazni napon istovremeno i napon na kondenzatoru važi

$$u_o(t_1^+) = u_c(t_1^+) = u_c(t_1^-)$$

to je

$$u_o(t_1^+) = V_{OL}$$

(napon na kondenzatoru ne može trenutno da se promeni)

3. $u_o(\infty)$ (ovde smo napravili prethodnu grešku)

Kada se završe svi prelazni procesi $i_c(\infty) = 0 = i_r(\infty)$. Ali gledajući samo ovu pobudu. Kako je u beskonačnosti, gledajući samo ovu pobudu, napon na ulazu V_{OH} i struja kroz otpornik jednaka nuli

$$u_o(\infty) = u_i(\infty) - Ri_R(\infty) = V_{OH}$$

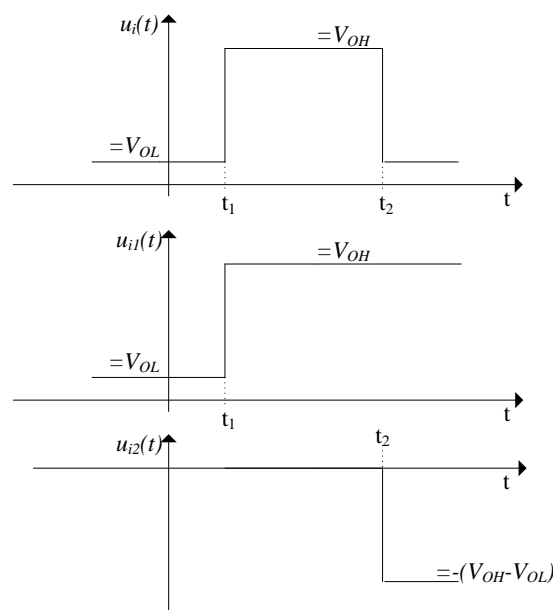
I na kraju

$$u_o(t) = u_o(\infty) + (u_o(t_0^+) - u_o(\infty))e^{-\frac{t-t_1}{\tau}} \quad \text{za } t_2 \geq t \geq t_1$$

$$u_o(t) = V_{OH} + (V_{OL} - V_{OH})e^{-\frac{t-t_1}{\tau}} \quad \text{za } t_2 \geq t \geq t_1$$

Ostaje pitanje šta da radimo od trenutka t_2 . Imamo dva pristupa.

Prvi pristup: Kolo je LTI i važi princip superpozicije. U tom slučaju pobudu možemo da posmatramo kao zbir dve nezavisne pobude od kojih jedna deluje u trenutku t_1 a druga u trenutku t_2 .



Odziv kola će biti jednak zbiru odziva na te dve pobude.

Našli smo kako izgleda odziv na pobudu $u_{i1}(t)$:

$$u_{o1}(t) = V_{OL} \quad \text{za } t < t_1$$

$$u_{o1}(t) = V_{OH} + (V_{OL} - V_{OH})e^{-\frac{t-t_1}{\tau}} \quad \text{za } t \geq t_1$$

Na sličan način možemo naći i odziv na pobudu $u_{i2}(t)$:

$$u_{o2}(t) = 0 \quad \text{za } t < t_2$$

$$u_{o2}(t) = -(V_{OH} - V_{OL}) + (0 - (-(V_{OH} - V_{OL})))e^{-\frac{t-t_2}{\tau}} \quad \text{za } t \geq t_2$$

$$u_{o2}(t) = (V_{OH} - V_{OL})(e^{-\frac{t-t_2}{\tau}} - 1) \quad \text{za } t \geq t_2$$

Superpozicijom

$$u_o(t) = V_{OL} \quad \text{za } t < t_1$$

$$u_o(t) = V_{OH} + (V_{OL} - V_{OH})e^{-\frac{t-t_1}{\tau}} \quad \text{za } t_2 \geq t \geq t_1$$

$$\text{za } t \geq t_2$$

$$u_o(t) = u_{o1}(t) + u_{o2}(t) = V_{OH} + (V_{OL} - V_{OH})e^{-\frac{t-t_1}{\tau}} + (V_{OH} - V_{OL})(e^{-\frac{t-t_2}{\tau}} - 1)$$

$$u_o(t) = V_{OH} - (V_{OH} + V_{OL}) + (V_{OH} - V_{OL})(e^{-\frac{t-t_2}{\tau}} - e^{-\frac{t-t_1}{\tau}})$$

$$u_o(t) = V_{OL} + \left((V_{OH} - V_{OL})(1 - e^{-\frac{t_2-t_1}{\tau}}) \right) e^{-\frac{t-t_2}{\tau}}$$

Drugi pristup: Utvrdili smo da nećemo napraviti grešku ako počnemo posmatranja odziva u bilo kojem trenutku znajući kakva je pobuda kao i odziv u tom trenutku. Prema tome prvi do trenutka t_2 je identičan kao i u prvom pristupu, s tim da odmah možemo da pišemo

$$u_o(t) = V_{OL} \quad \text{za } t < t_1$$

$$u_o(t) = V_{OH} + (V_{OL} - V_{OH})e^{-\frac{t-t_1}{\tau}} \quad \text{za } t_2 \geq t \geq t_1$$

U trenutku t_2 nastupa druga, drugačija, pobuda. Znači opšte rešenje jeste

$$u_o(t) = u_o(\infty) + (u_o(t_2^+) - u_o(\infty))e^{-\frac{t-t_2}{\tau}} \quad \text{za } t \geq t_2$$

1. τ

$$\tau = C * R$$

2. $u_o(t_2^+)$

Kako je izlazni napon istovremeno i napon na kondenzatoru važi

$$u_o(t_2^+) = u_c(t_2^+) = u_c(t_2^-) = u_o(t_2^-) =$$

a

$$u_o(t_2^-) = V_{OH} + (V_{OL} - V_{OH})e^{-\frac{t_2-t_1}{\tau}}$$

3. $u_o(\infty)$

Kada se završe svi prelazni procesi $i_c(\infty) = 0 = i_r(\infty)$. Kako je u beskonačnosti napon na ulazu V_{OL} i struja kroz otpornik jednaka nuli

$$u_o(\infty) = u_i(\infty) - Ri_R(\infty) = V_{OL}$$

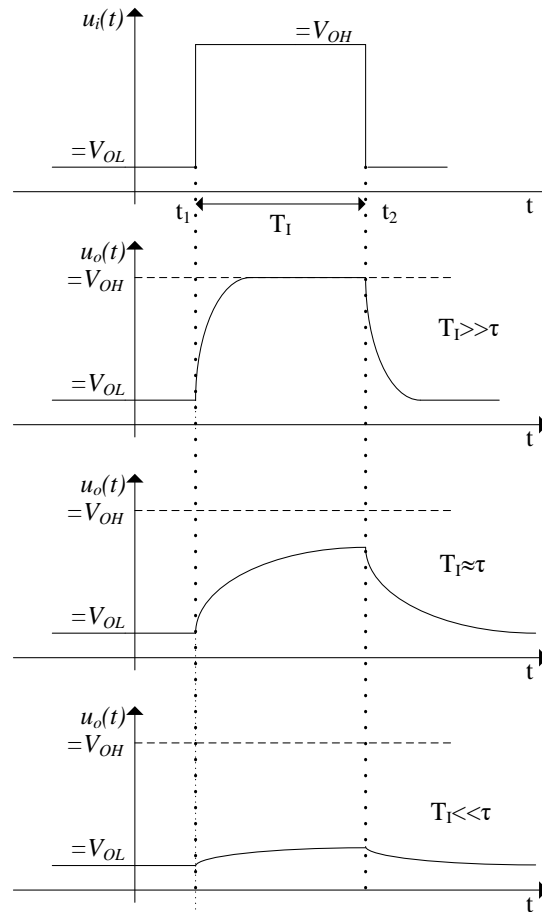
I na kraju

$$\text{za } t \geq t_2$$

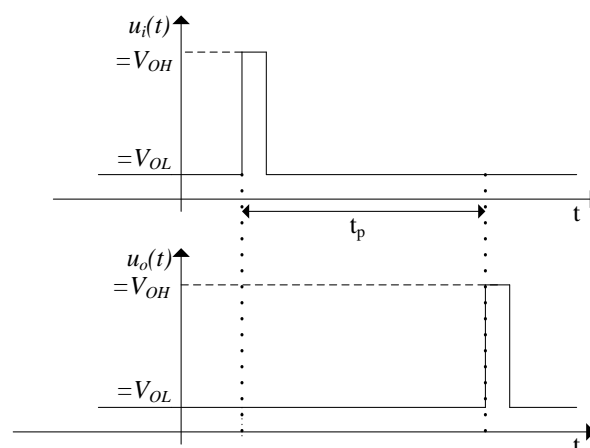
$$u_o(t) = V_{OL} + \left(V_{OH} + (V_{OL} - V_{OH})e^{-\frac{t_2-t_1}{\tau}} - V_{OL} \right) e^{-\frac{t-t_2}{\tau}}$$

$$u_o(t) = V_{OL} + \left((V_{OH} - V_{OL})(1 - e^{-\frac{t_2-t_1}{\tau}}) \right) e^{-\frac{t-t_2}{\tau}}$$

Dobili smo identičan rezultat kao i u prvom pristupu što je i bilo za očekivati. Drugi pristup je brži i jednostavniji, tako da ako nam zatreba njega ćemo i koristiti. Kako će izgledati izlazni signal će zavisiti od odnosa (t_2-t_1) i τ , odnosno od trajanja impulsa i vremenske konstante kola. Ne zaboravite one parametre 5τ , 2.2τ , 0.69τ .



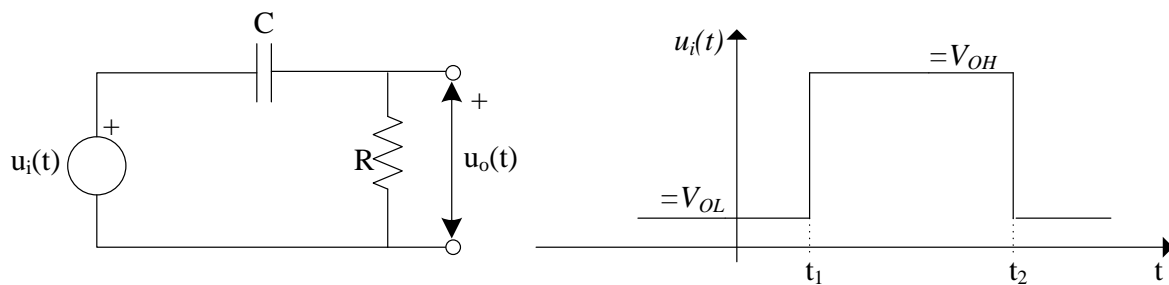
Znajući šta se dešava u kolu možemo da damo odgovor i na standardno pitanje koje se pojavljuje prilikom korišćenja logičkih kola. Šta se dešava na primer sa impulsom trajanja 1ns koji prolazi kroz logičko kolo čije je kašnjenje $t_p=10\text{ns}$. U nekom apstraktnom svetu odgovor bi bio, signal na izlazu će biti isti samo zakašnjen za 10ns.



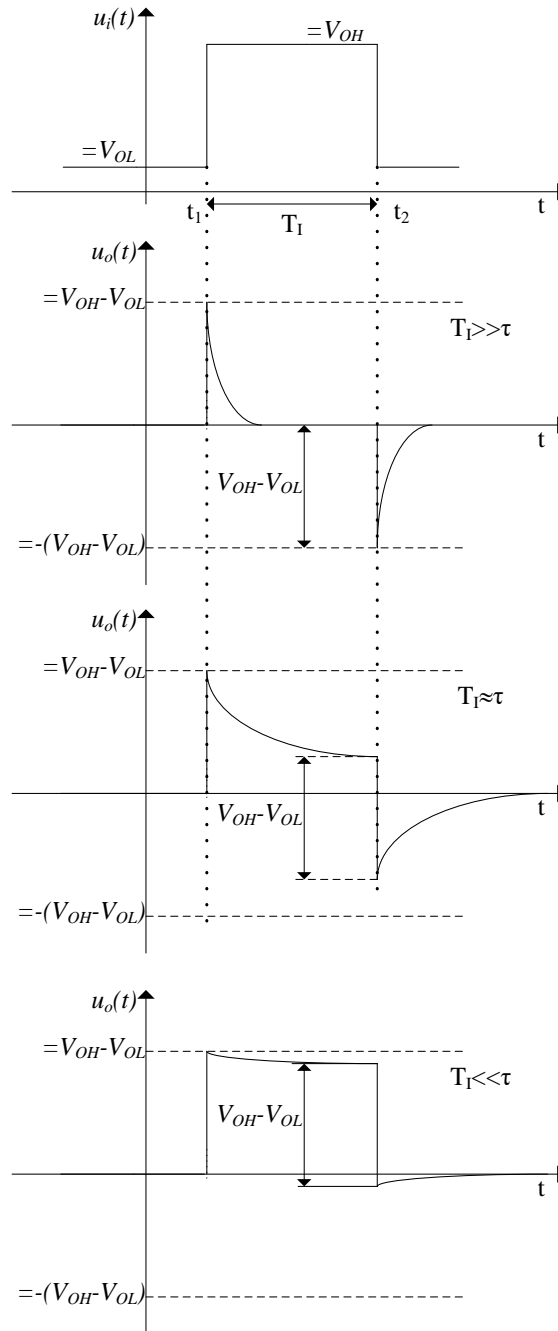
U realnim logičkim kolima, gde je kašnjenje pretežno prouzrokovano parazitnim kapacitivnostima, ovakva situacija ne može da se desi. Signal na izlazu se neće ni pojaviti. I to smo videli u prethodnim primerima.

Takvi kratkotrajni signali su uglavnom posledica smetnji ili ako sistem nismo projektovali kako treba. Uobičajen naziv za ovakve signale je glič (glitch). Treba uočiti da „pravi“ signali treba da traju duže od kašnjenja kroz logičko kolo. Uočiti da u situaciji $t_{pLH} > t_{pHL}$ može doći do skraćivanja trajanja impulsa a u situaciji $t_{pLH} < t_{pHL}$ može doći do produženja trajanja impulsa, odnosno da u se u većini logičkih kola neće očuvati trajanje signala i to nam takođe potvrđuje našu želju da izjednačimo kašnjenja $t_{pLH} = t_{pHL}$.

Od interesa nam je i prolazak signala kroz diferencijator, Ne toliko za analizu logičkih kola, koliko moramo u realizaciji voditi računa o ovom efektu.

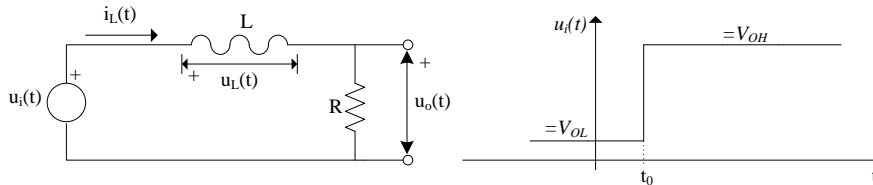


Uzimajući u obzir i izraze koje smo izveli za diferencijator, i način tretiranja impulsa koji smo pokazali na integratoru u mogućnosti smo da nacrtamo sledeće grafike za diferencijator.



Uočiti da će se promena na ulazu direktno preslikati na izlaz pošto je kapacitivnost redno na tok signala i ne može trenutno da promeni vrednost napona. Iz tog razloga ako postoji diferencijatorski efekat na ulaz u logička kola mogu da se pojave i negativni naponi, odnosno naponi niži od V_{OL} . U statičkom režimu smo podrazumevali da se ne mogu pojaviti naponi niži od napona mase. Nažalost u dinamičkom režimu vidimo da ova mogućnost postoji. Zato ćemo videti kod logičkih kola zaštite (najčešće u vidu diode) koje štite ulaze logičkih kola od prevelikog negativnog napona koji može izazvati prestanak funkcionisanja logičkog kola, odnosno „spaljivanje“ kola.

U analizi logičkih kola ćemo retko imati posla sa inductivnostima. Skoro nikada. Međutim u realizaciji i spajanju logičkih kola parazitne inductivnosti linija uvek postoje. Iz tog razloga ćemo proučiti i ponašanje inductivnosti u odnosu na tok signala. Opet posmatramo kola koja imaju samo jedan akumulativni element, ovaj put inductivnost, i odziv na Hejvisajdovu pobudu.



„Prirodna“ jednačina za vezu usaglašanih napona i struja na inductivnosti L je

$$u_L(t) = \frac{di_L(t)}{dt}$$

Direktno nam ova jednačina kaže:

Da bi se struja kroz inductivnost promenila potreban je beskonačno veliki napon,

Ako postoji napon na kalemu biće i promene struje kroz njega.

Isto kao i u slučaju kapacitivnosti. Ako je vreme pre trenutka promene dovoljno dugo trajalo (beskonačno), kolo će ući u stacionarno stanje u kome nema više promena i karakterisano je

$$u_L(t) = 0, \quad i_L(t) = \text{const}$$

Kolo je takođe kauzalno, LTI, i prvog reda, odnosno dobićemo „istu“ diferencijalnu jednačinu prvog reda za koju sigurno važi opšte rešenje, ako je promena pobude u trenutku t_0

$$p(t) = p(\infty) + (p(t_0^+) - p_o(\infty))e^{-\frac{t-t_0}{\tau}} \quad \text{za } t \geq t_0$$

Na nama je samo da odredimo

$$\tau \quad p_o(t_0^+) \quad p_o(\infty)$$

1. τ

Određujemo kao proizvod L i provodnosti koju vidi ta inductivnost tako što sve nezavisne naponske izvore kratko spojimo, nezavisne strujne izvore uklonimo iz kola, ostavimo otvorene veze, pri čemu zavisni izvori ostaju.

2. $p_o(t_0^+)$

Određujemo na osnovu saznanja da je u pitanju realno kolo i da struja kroz inductivnost ne može trenutno da se promeni.

$$i_L(t_0^+) = i_L(t_0^-)$$

3. $p_o(\infty)$

Određujemo na osnovu saznanja da su u beskonačnosti završeni prelazni procesi odnosno da nema promene struje kroz induktivnost. A uslov da nema promene struje kroz induktivnost je

$$u_L(\infty) = 0$$

U našem primeru

1. τ

$$\tau = L * G = L * \frac{1}{R} = \frac{L}{R}$$

2. $u_0(t_0^+)$

Kako je izlazni napon istovremeno i napon na otporniku

$$u_0(t_0^+) = u_R(t_0^+) = Ri_R(t_0^+) = Ri_L(t_0^+) = Ri_L(t_0^-)$$

Ako je, kao što smo pretpostavili, kolo pre trenutka t_0 ušlo u stacionarno stanje

$$u_L(t_0^-) = 0$$

$$i_L(t_0^-) = i_R(t_0^-) = \frac{u_i(t_0^-) - u_L(t_0^-)}{R} = \frac{V_{OL} - 0}{R} = \frac{V_{OL}}{R}$$

pa je

$$u_0(t_0^+) = Ri_L(t_0^-) = V_{OL}$$

3. $u_0(\infty)$

Kada se završe svi prelazni procesi $u_L(\infty) = 0$. U tom slučaju napon na otporniku je jednak ulaznom naponu.

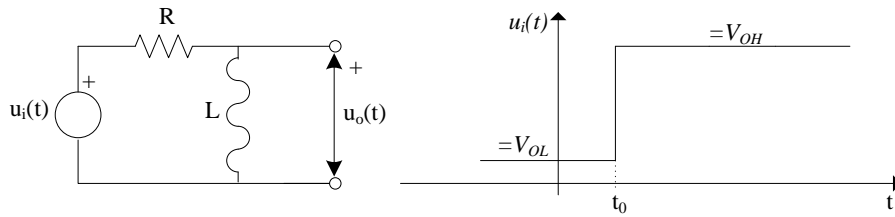
$$u_0(\infty) = u_i(\infty) - u_L(\infty) = V_{OH} - 0 = V_{OH}$$

Zamenom dobijamo

$$u_o(t) = V_{OH} + (V_{OL} - V_{OH})e^{-\frac{t-t_0}{\tau}} \quad t \geq t_0$$

Odnosno ovo kolo, redna induktivnost u odnosu na tok signala, pokazuje isti integratorski efekat kao i kolo kod koga je kapacitivnost paralelno u odnosu na tok signala. Isti oblik grafika se dobija, isto se ponaša na impulsnu pobudu, pa se za ova kola kaže da su dualna.

U slučaju da je induktivnost paralelna u odnosu na tok signala



U primeru

1. τ

$$\tau = L * G = L * \frac{1}{R} = \frac{L}{R}$$

2. $u_0(t_0^+)$

Kako je izlazni napon istovremeno i napon na induktivnosti

$$u_0(t_0^+) = u_L(t_0^+) = u_i(t_0^+) - u_R(t_0^+) = u_i(t_0^+) - Ri_R(t_0^+) = u_i(t_0^+) - Ri_L(t_0^+)$$

Ako je, kao što smo pretpostavili, kolo pre trenutka t_0 ušlo u stacionarno stanje

$$u_L(t_0^-) = 0$$

$$i_L(t_0^+) = i_L(t_0^-) = \frac{u_i(t_0^-) - u_L(t_0^-)}{R} = \frac{V_{OL} - 0}{R} = \frac{V_{OL}}{R}$$

pa je

$$u_0(t_0^+) = u_i(t_0^+) - Ri_L(t_0^+) = V_{OH} - V_{OL}$$

3. $u_0(\infty)$

Kada se završe svi prelazni procesi $u_L(\infty) = 0$, što je istovremeno i izlazni napon

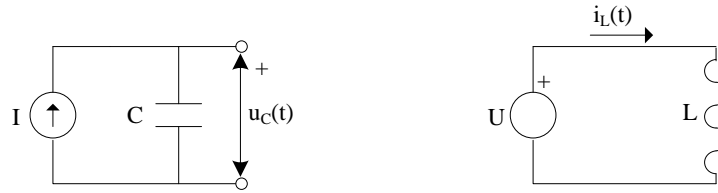
$$u_0(\infty) = u_L(\infty) = 0$$

Zamenom dobijamo

$$u_o(t) = 0 + (V_{OH} - V_{OL})e^{-\frac{t-t_0}{\tau}} = (V_{OH} - V_{OL})e^{-\frac{t-t_0}{\tau}} \quad t \geq t_0$$

Odnosno ovo kolo, paralelna induktivnost u odnosu na tok signala, pokazuje isti diferencijatorski efekat kao i kolo kod koga je kapacitivnost redno u odnosu na tok signala. Isti oblik grafika se dobija, isto se ponaša na impulsnu pobudu, pa se za ova kola kaže da su dualna.

Takođe, dva interesantna slučaja su kada se kapacitivnost pobuđuje iz izvora konstantne struje i isto tako induktivnost iz izvora konstantnog napona,



U slučaju kapacitivnosti, ako smo pojavu počeli da posmatramo u trenutku t_0 u kojem je napon na kondenzatoru bio U_0

$$i_c(t) = C \frac{du_c(t)}{dt}$$

$$u_c(t) = \frac{1}{C} \int_{t_0}^t i_c(t) dt = \frac{I}{C} (t - t_0) + U_0$$

Napon na kondenzatoru će se linerano menjati u vremenu.

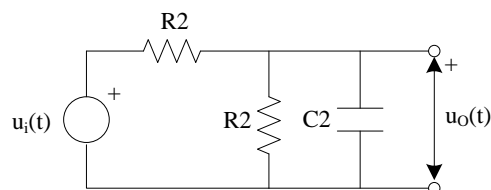
U slučaju induktivnosti, ako smo pojavu počeli da posmatramo u trenutku t_0 u kojem je struja kroz induktivnost bila I_0

$$u_L(t) = L \frac{di_L(t)}{dt}$$

$$i_L(t) = \frac{1}{L} \int_{t_0}^t u_L(t) dt = \frac{U}{L} (t - t_0) + I_0$$

Struja kroz induktivnost će se linerano menjati u vremenu.

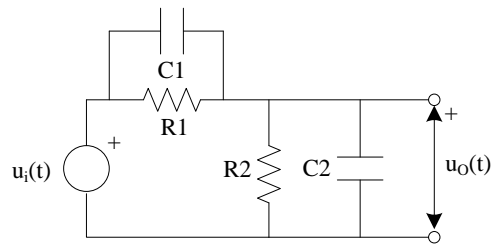
Sledeći interesantaj slučaj u praktičnim realizacijam je kompenzovani kaoacitivni razdelnik napona. Česta situacija koja se pojavljuje, naročito kod kola sa bipolarnim tranzistorima je takva da može da se modeluje na sledeći nači.



$R1$ je na primer otpornik u bazi tranzistora, a $R2$ i $C2$ je nodel BE spoja tranzistora. Postavlja se pitanje da li je moguće elimisati integratorski efekat koji smo videli da će ovakva konfiguracija posedovati sa vremenskom konstantom

$$\tau = C2 * (R2//R1)$$

Postavlja se pitanje da li ovaj integratorski efekat može da se elimiše, na primer stavljanjem kondenzatora C1 paralelno sa otpornikom R1



Odgovor leži u kompenzovanom razdelniku napona, odnosno moguće je pravilnim izborom kapacitivnosti C1. Uslov je da je ulazni naponski generator idelan, da može da da beskonačnu struju.

U tom slučaju u trenutku promene ulaznog napona t_0 postoji kapacitivna kontura koju čine ulazni napon, kondenzator C1 i kondenzator C2. Po toj konturi pojavieće se beskonačna struja i napon na izlazu će biti određen kapacitivnom konturom

$$u_o(t_0^+) = \frac{C1}{C1 + C2} u_i(t_0^+)$$

Kada se završe svi prelazni procesi neće više postojati struje kroz kapacitivnosti i napon na izlazu biće određen samo otpornom konturom

$$u_o(\infty) = \frac{R2}{R1 + R2} u_i(\infty)$$

Kako smatramo da je

$$u_i(\infty) = u_i(t_0^+)$$

Uslov da nema integratorskog efekta jeste

$$u_o(\infty) = u_o(t_0^+)$$

odnosno

$$\frac{C1}{C1 + C2} u_i(t_0^+) = \frac{R2}{R1 + R2} u_i(\infty)$$

$$C1R1 = C2R2$$

Ako je zadovoljen ovaj uslov onda to jeste kompenzovani razdelnik napona, Normalno ovde smo pretpostavili da posedujemo naponski izvor sa beskonačnim strujnim kapacitetom što u realnosti nije moguće. Ali u realnosti ako ispunimo uslov komenzacije ćemo dobiti mnogo brži odziv i dovoljno dobro potisnuti integratorski efekat. Treba uočiti da za ovo kolo ne važe jednačine koje smo izvodili za kola sa jednim akumulativnim elementom. Ovde ih ima dva.

